

P C T

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 M00-C-269CT1	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0 ) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 8 1 5 5	国際出願日 (日.月.年) 20.11.00	優先日 (日.月.年) 03.03.00
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 ( P C T 1 8 条 ) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で  3  ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。  
☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。  
☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際調査機関に提出された書面による配列表  
☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。  
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。  
☐ 第 III 欄に示されているように、法施行規則第47条 ( P C T 規則38.2(b) ) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、  
第  3  図とする。 ☒ 出願人が示したとおりである。 ☐ なし  
☐ 出願人は図を示さなかった。  
☐ 本図は発明の特徴を一層よく表している。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L29/872, H01L21/338, H01L29/812

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L29/872, H01L21/338, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 5-13446, A (日本電装株式会社) 22. 1月. 1993 (22. 01. 93)	1-5, 11-12
Y	全文, 図1-4	6-7
A	全文, 図1-4 (ファミリーなし)	8-10
X	J P, 6-349860, A (株式会社日立製作所) 22. 12月. 1994 (22. 12. 94)	1-5, 11-12
Y	全文, 図1-10	6-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

09. 01. 01

国際調査報告の発送日

23.01.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

4 L

9544

電話番号 03-3581-1101 内線 3497

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	全文, 図 1-10 (ファミリーなし)	8-10
Y	JP, 9-289216, A (松下電子工業株式会社) 4. 11 月. 1997 (04. 11. 97) 要約 (ファミリーなし)	6-7

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08155

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/872, H01L21/338, H01L29/812

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/872, H01L21/338, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-13446, A (Nippon Denso Co., Ltd.), 22 January, 1993 (22.01.93), Full text; Figs. 1 to 4	1-5, 11-12
Y	Full text; Figs. 1 to 4	6-7
A	Full text; Figs. 1 to 4 (Family: none)	8-10
X	JP, 6-349860, A (Hitachi, Ltd.), 22 December, 1994 (22.12.94), Full text; Figs. 1 to 10	1-5, 11-12
Y	Full text; Figs. 1 to 10	6-7
A	Full text; Figs. 1 to 10 (Family: none)	8-10
Y	JP, 9-289216, A (Matsushita Electronic Corporation), 04 November, 1997 (04.11.97), abstract (Family: none)	6-7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
 09 January, 2001 (09.01.01)

Date of mailing of the international search report  
 23 January, 2001 (23.01.01)

Name and mailing address of the ISA/  
 Japanese Patent Office

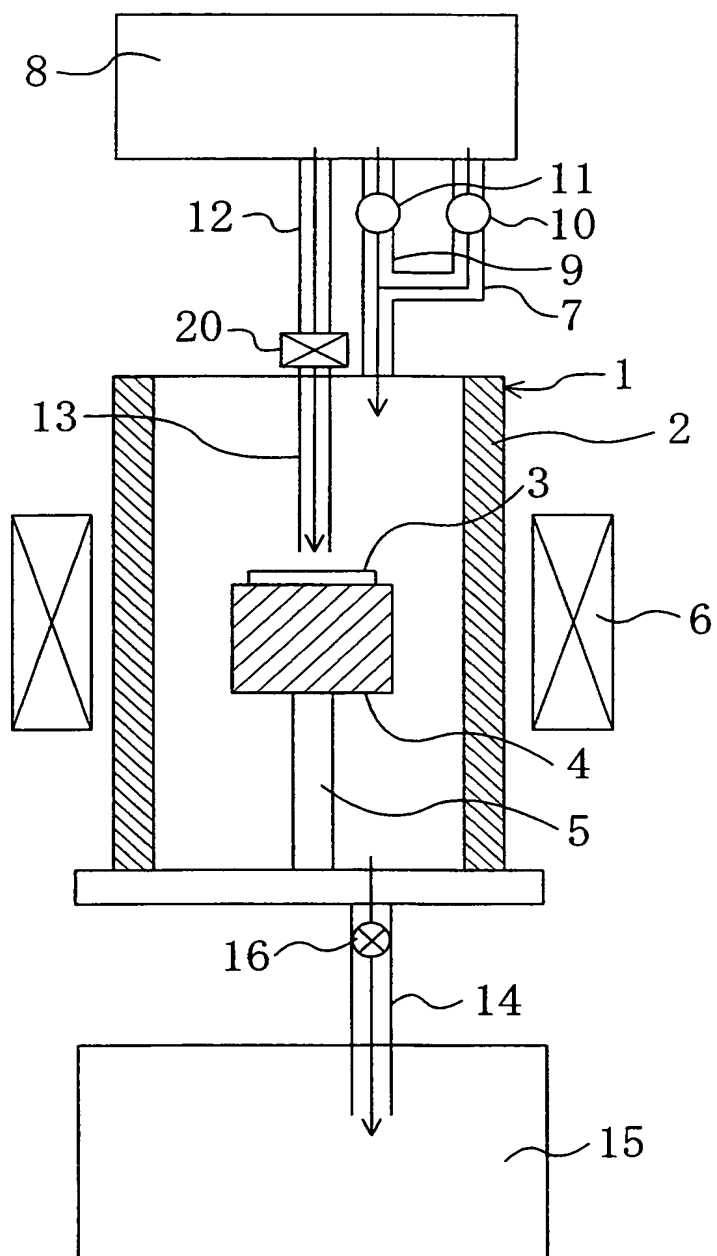
Authorized officer

Facsimile No.

Telephone No.

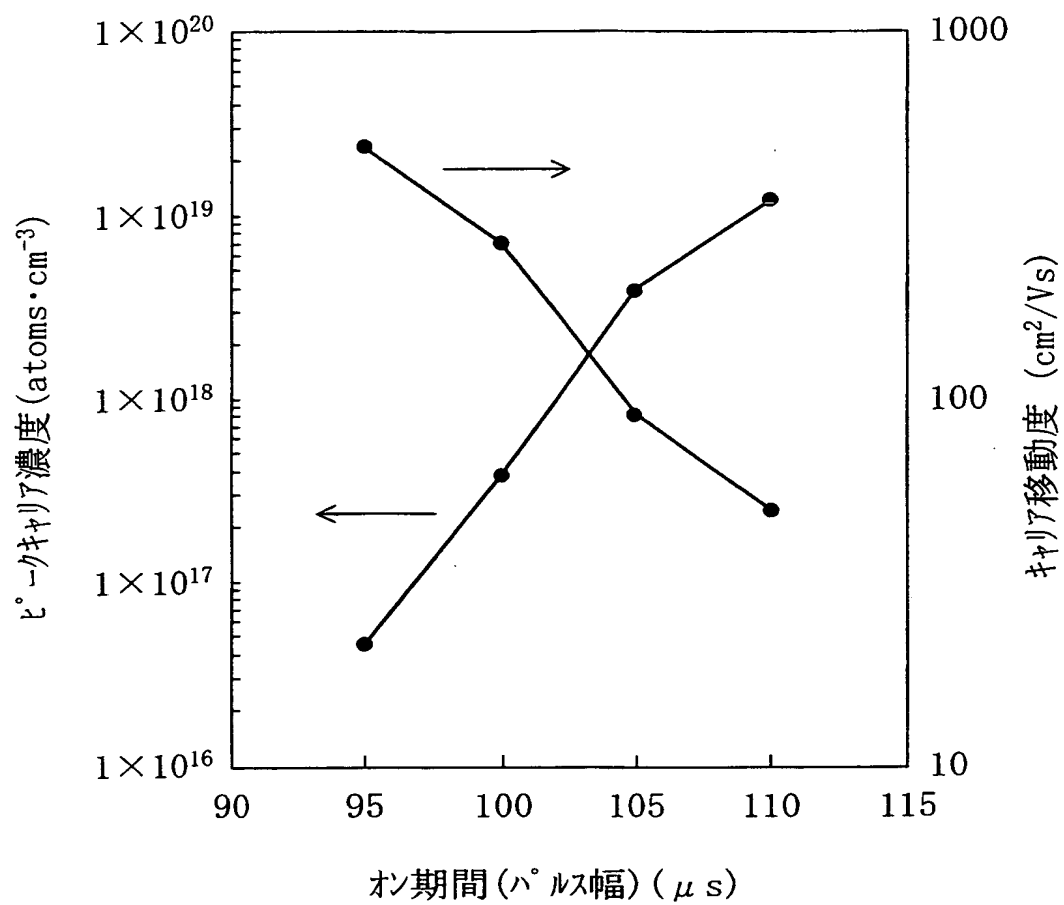
1/23

FIG. 1

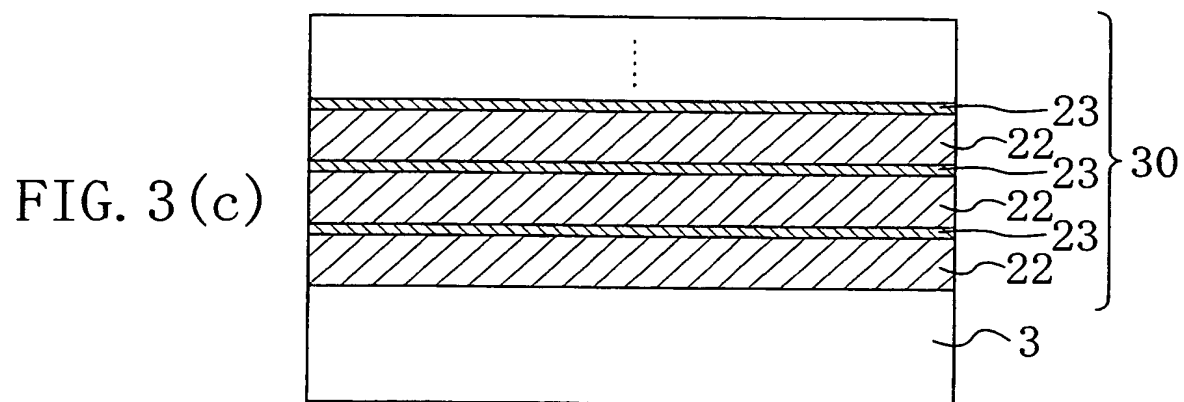
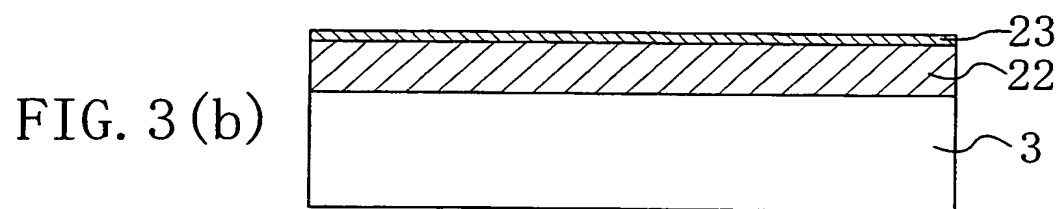
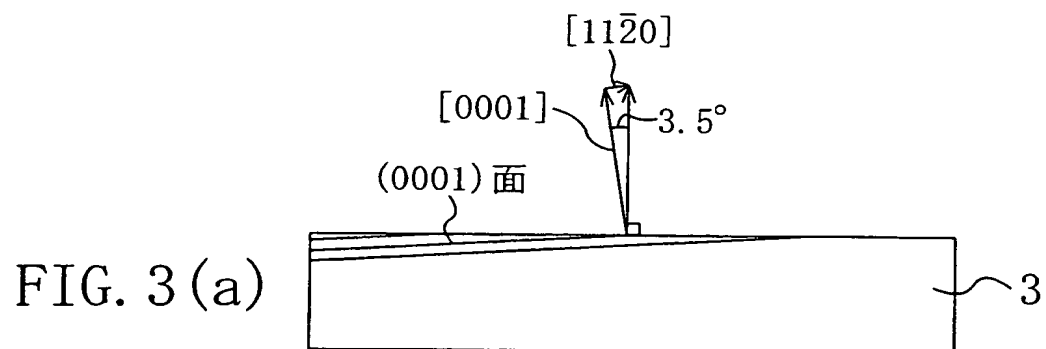


2/23

FIG. 2

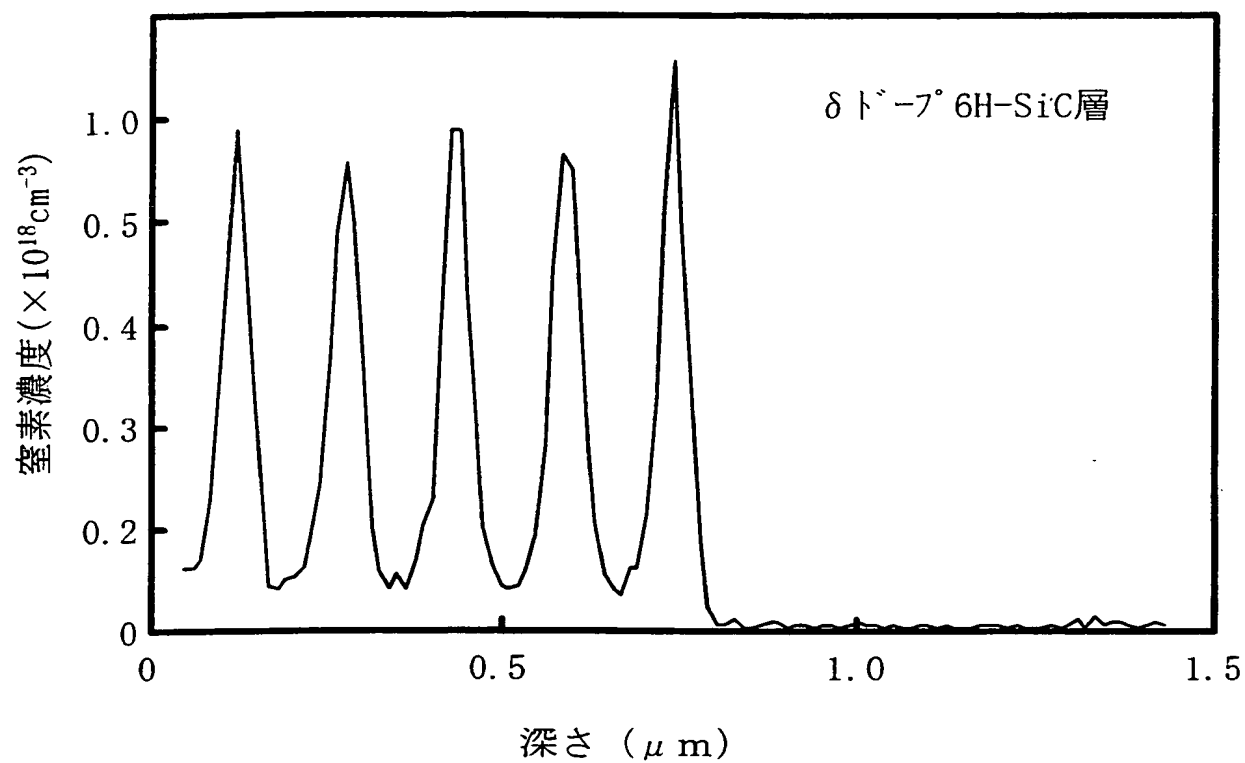


3/23



4/23

FIG. 4





5/23

FIG. 5(a)

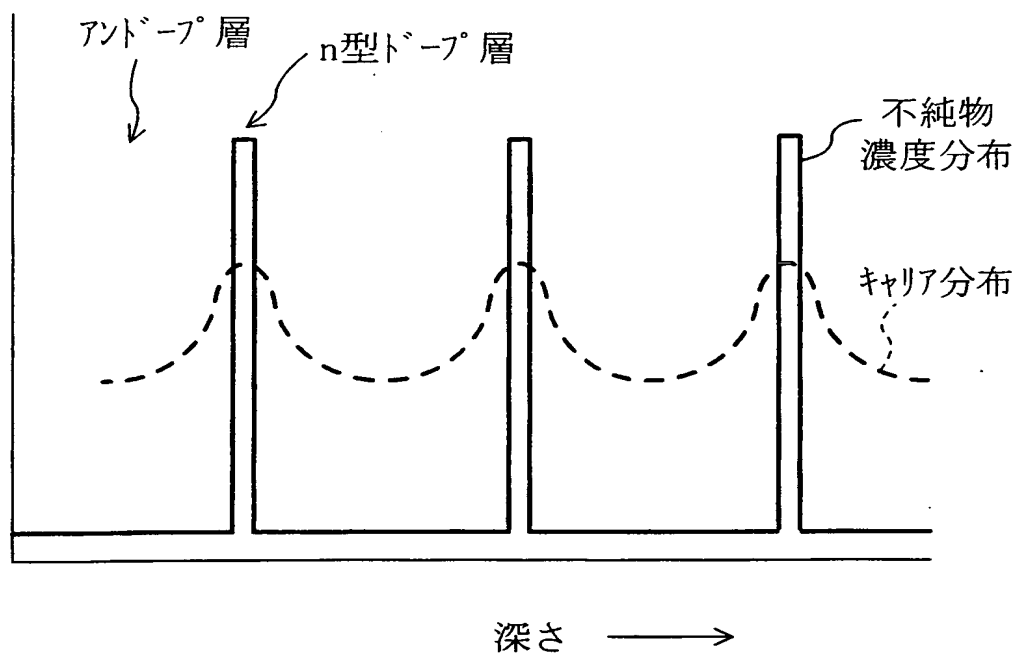
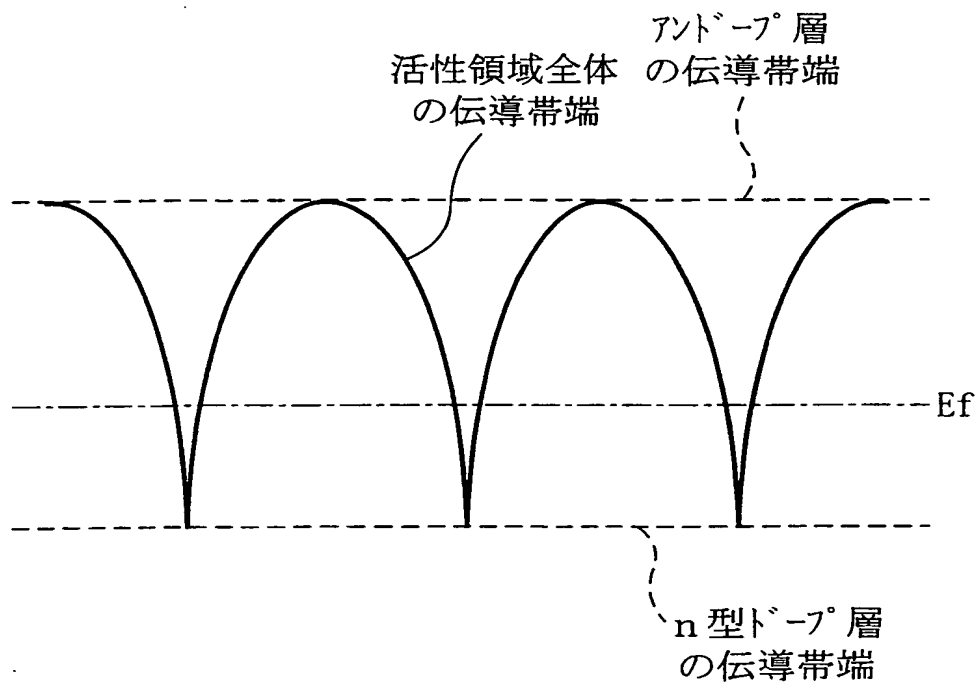
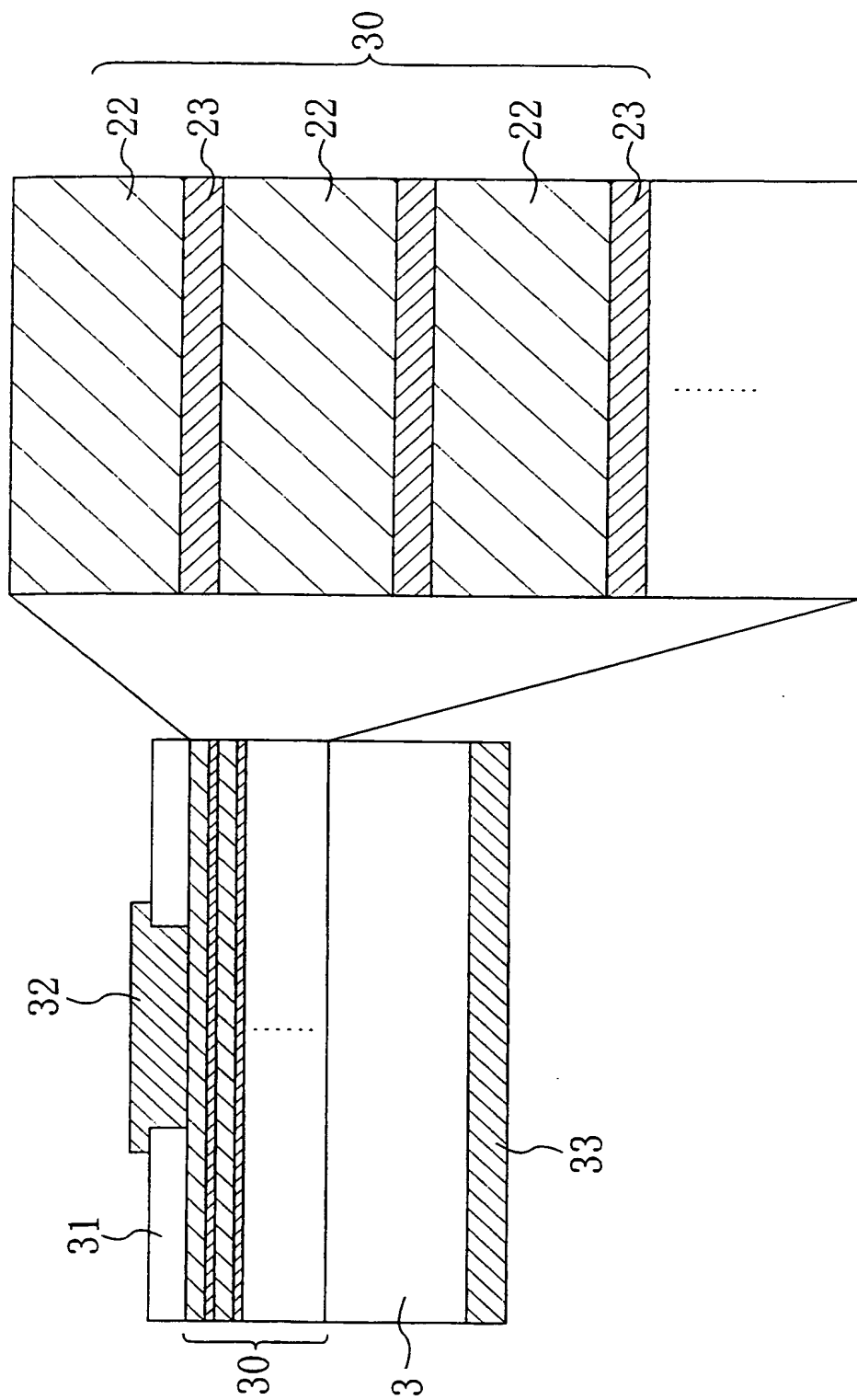


FIG. 5(b)



6/23

FIG. 6



7/23

FIG. 7(a1)

第2の実施形態

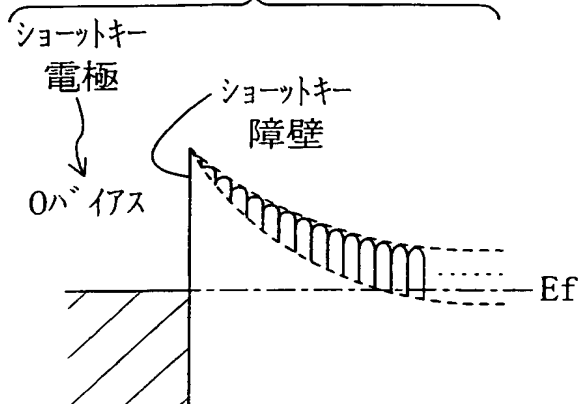


FIG. 7(a2)

従来例

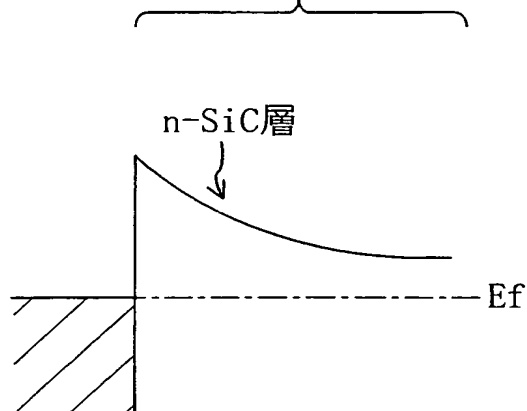


FIG. 7(b1)

順バイアス

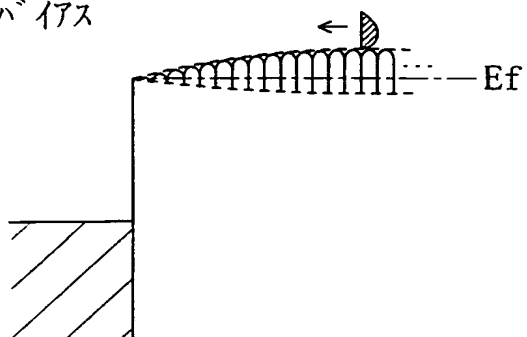


FIG. 7(b2)

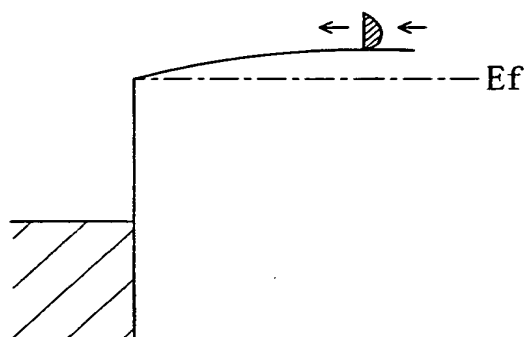


FIG. 7(c1)

逆バイアス

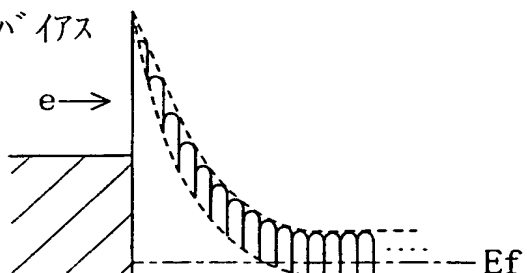
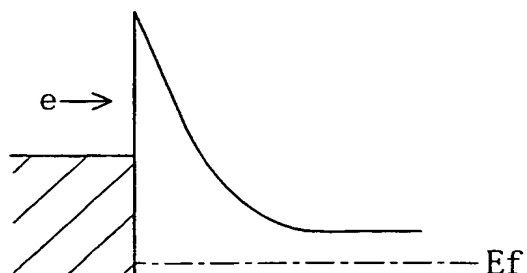
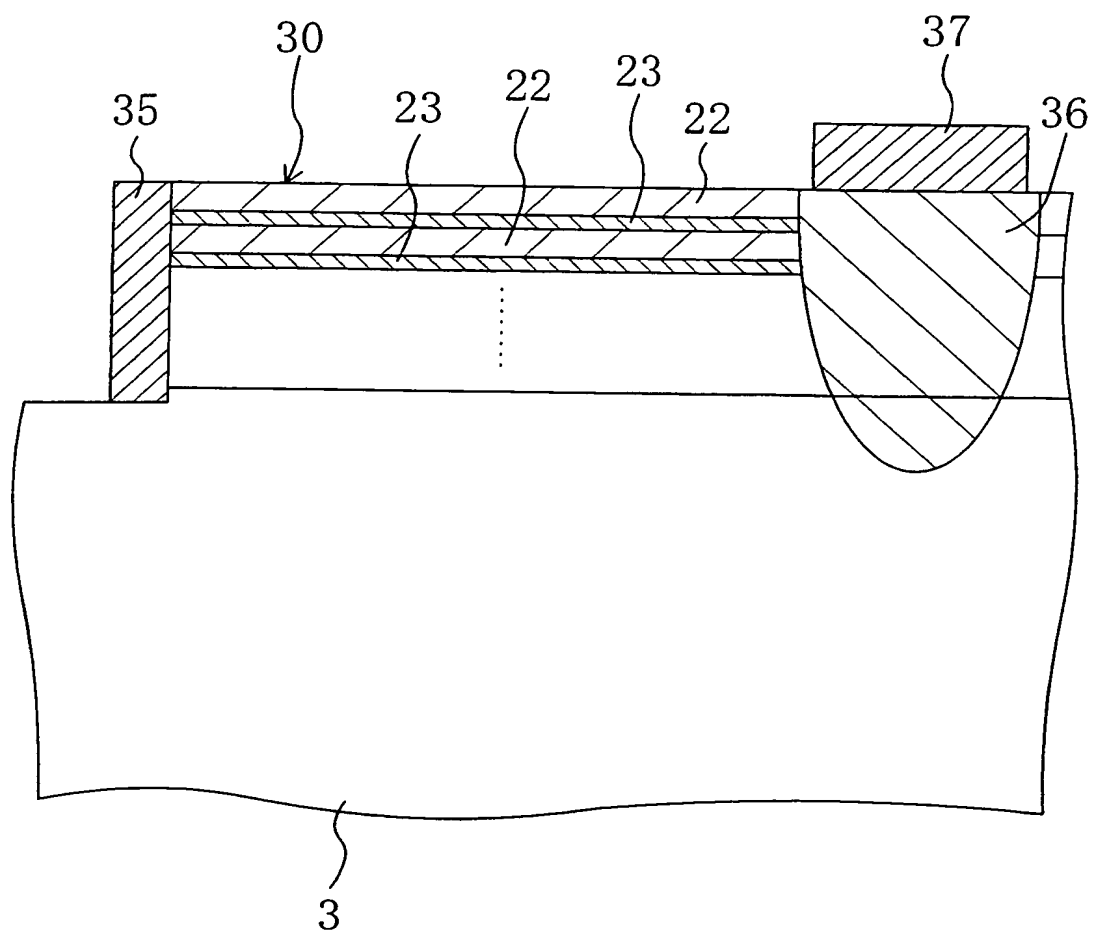


FIG. 7(c2)



8/23

FIG. 8



9/23

FIG. 9(a1)

FIG. 9(a2)

FIG. 9(a3)

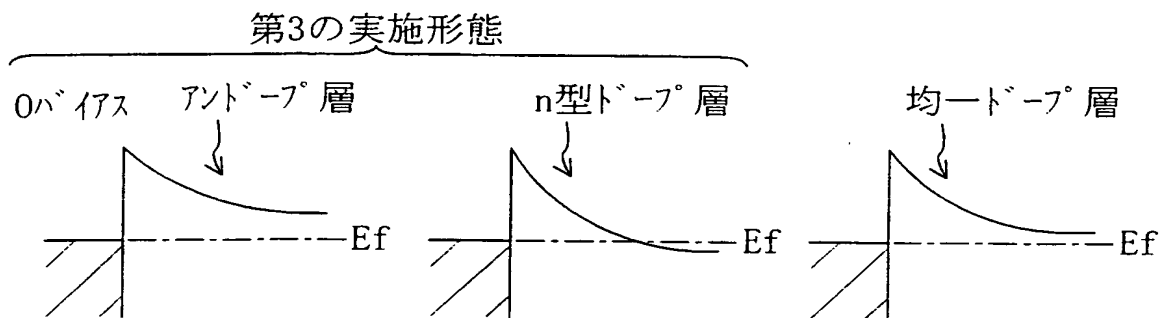


FIG. 9(b1)

FIG. 9(b2)

FIG. 9(b3)

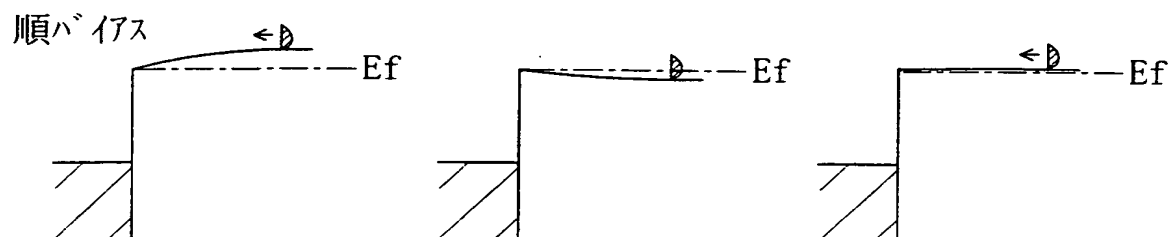


FIG. 9(c1)

FIG. 9(c2)

FIG. 9(c3)

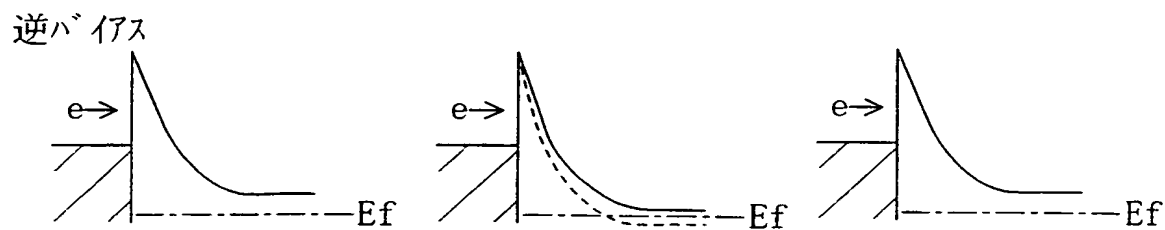
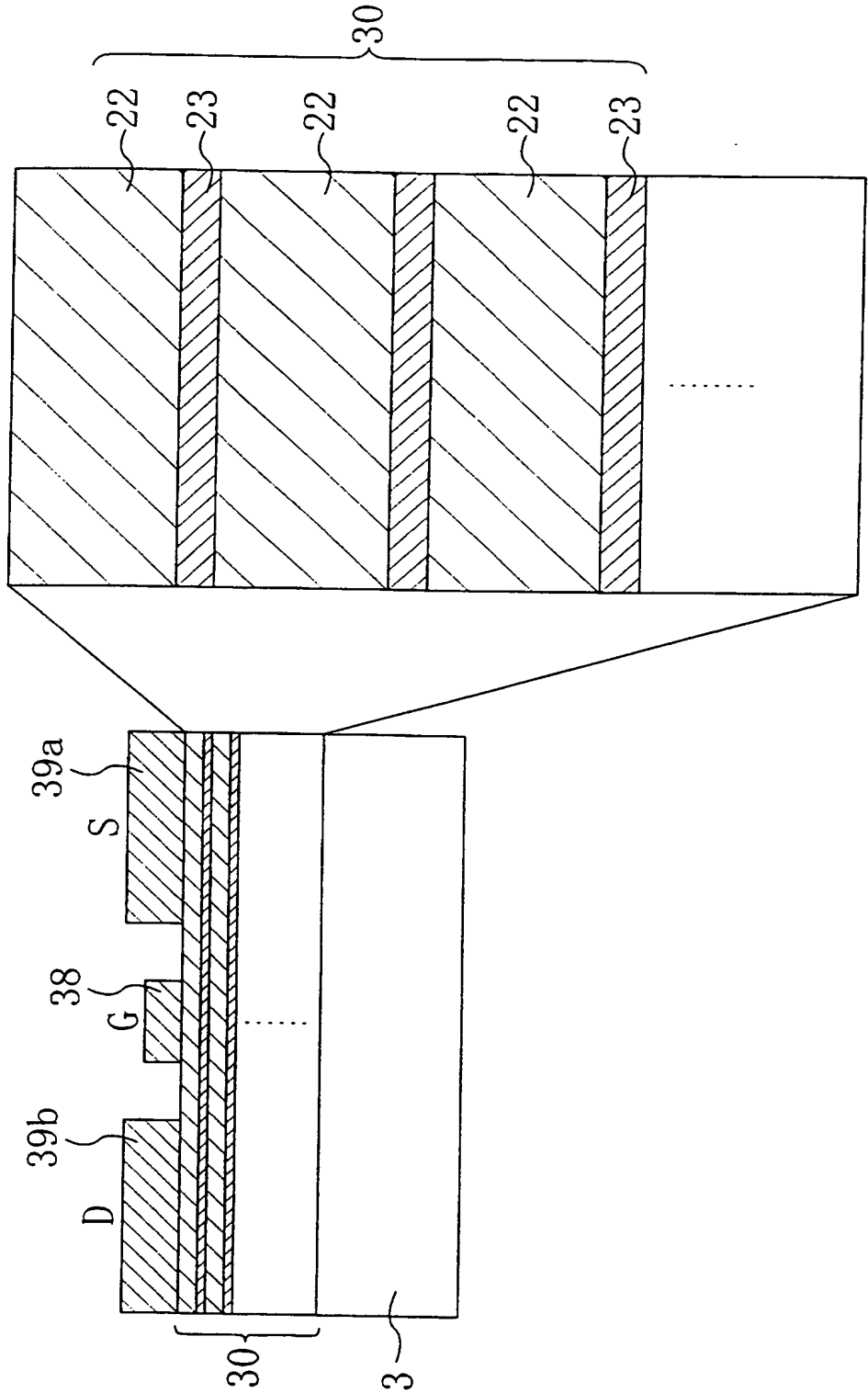
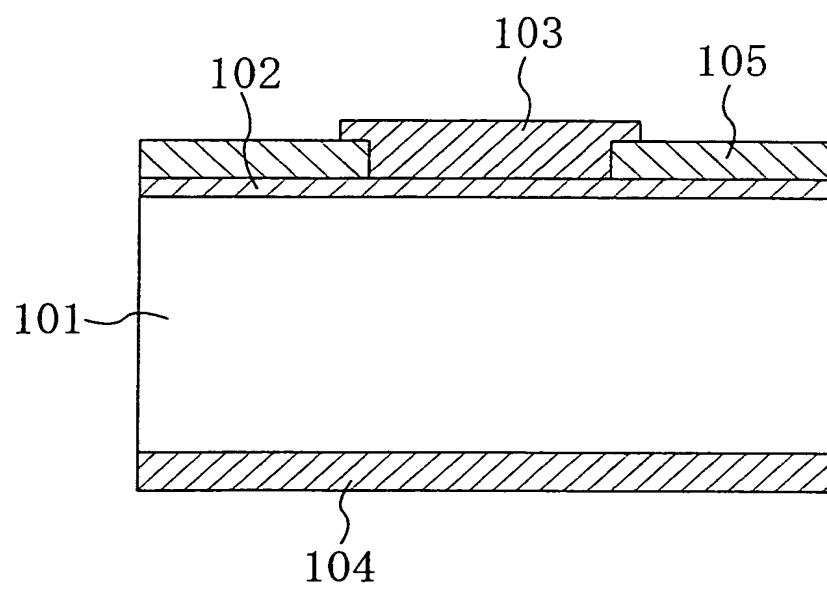


FIG. 10



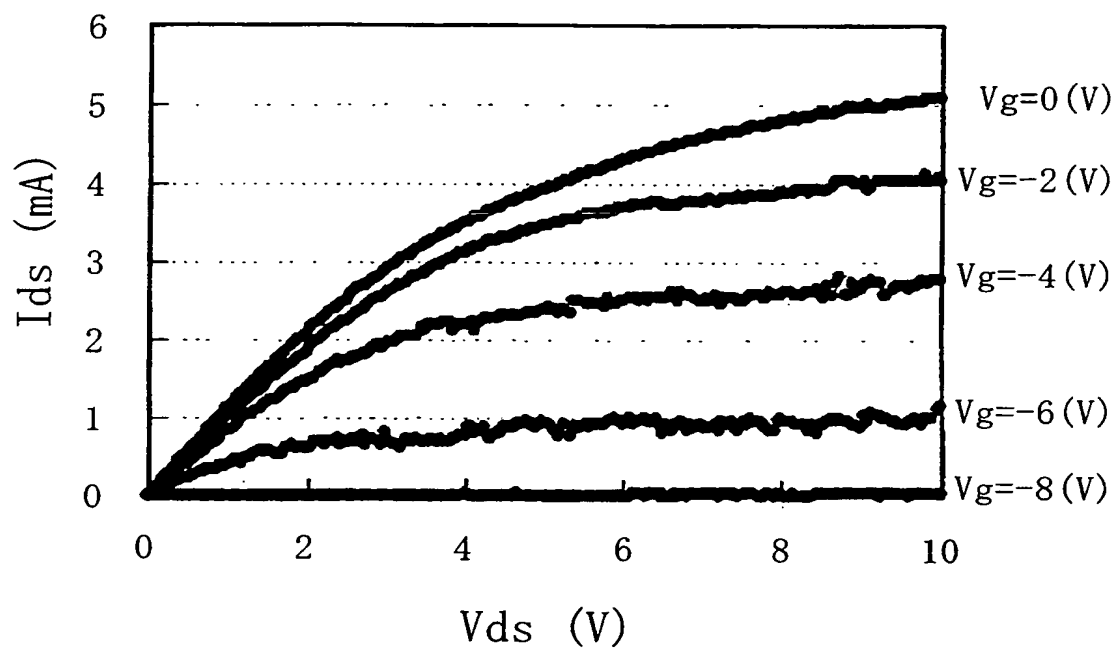
11/23

FIG. 11



12/23

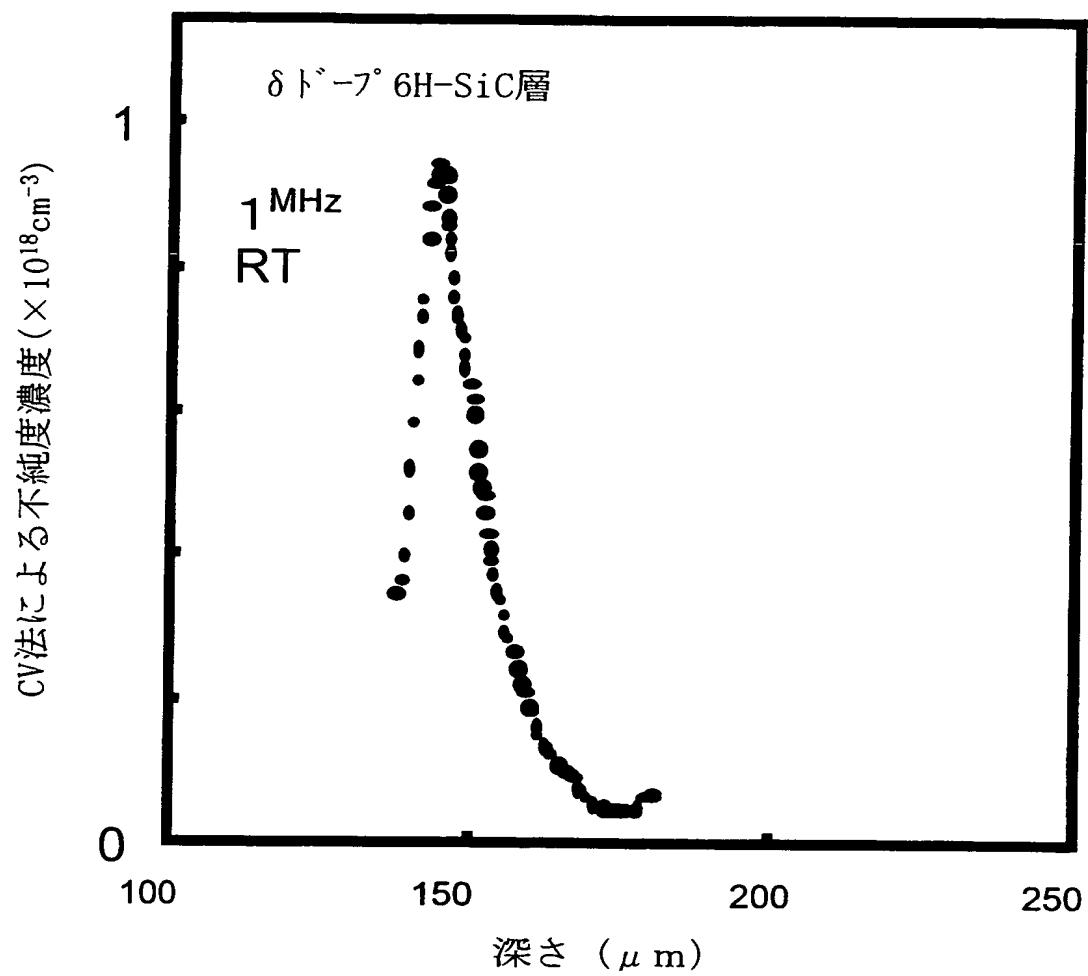
FIG. 12





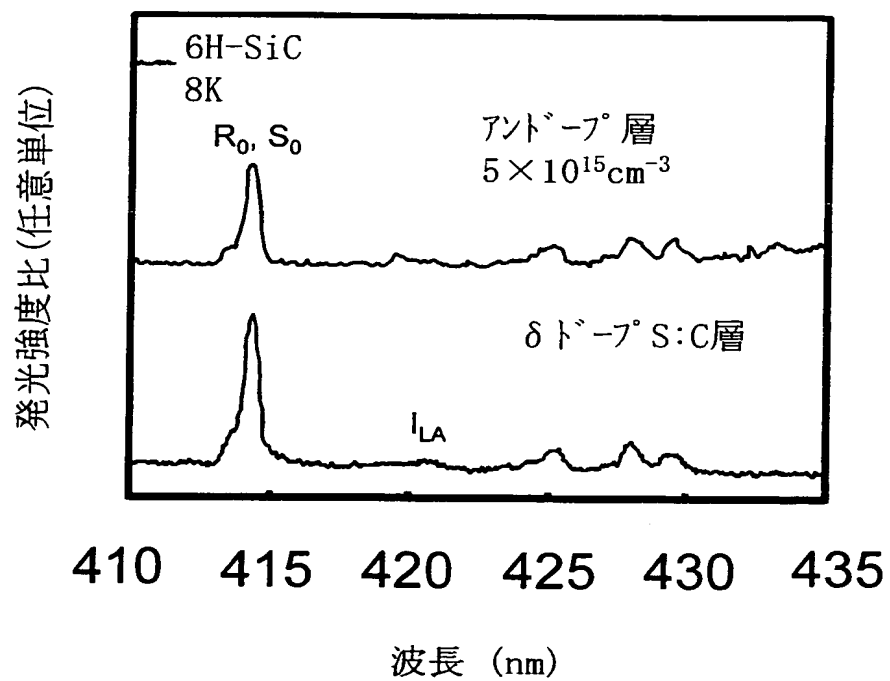
13/23

FIG. 13



14/23

FIG. 14



15/23

FIG. 15 (a)

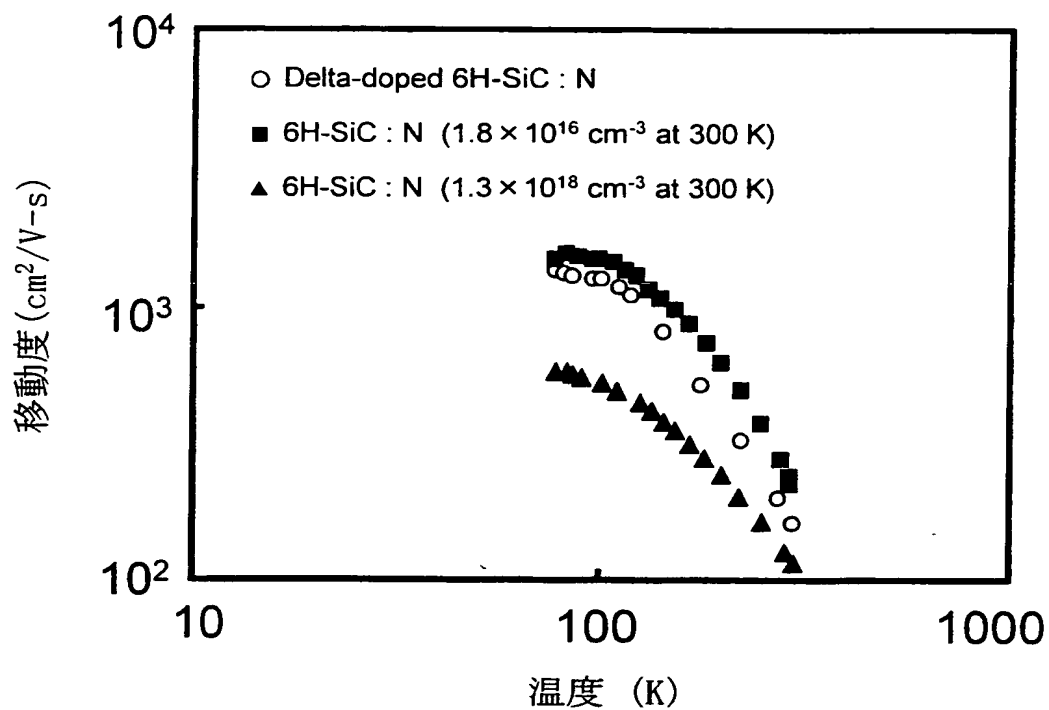
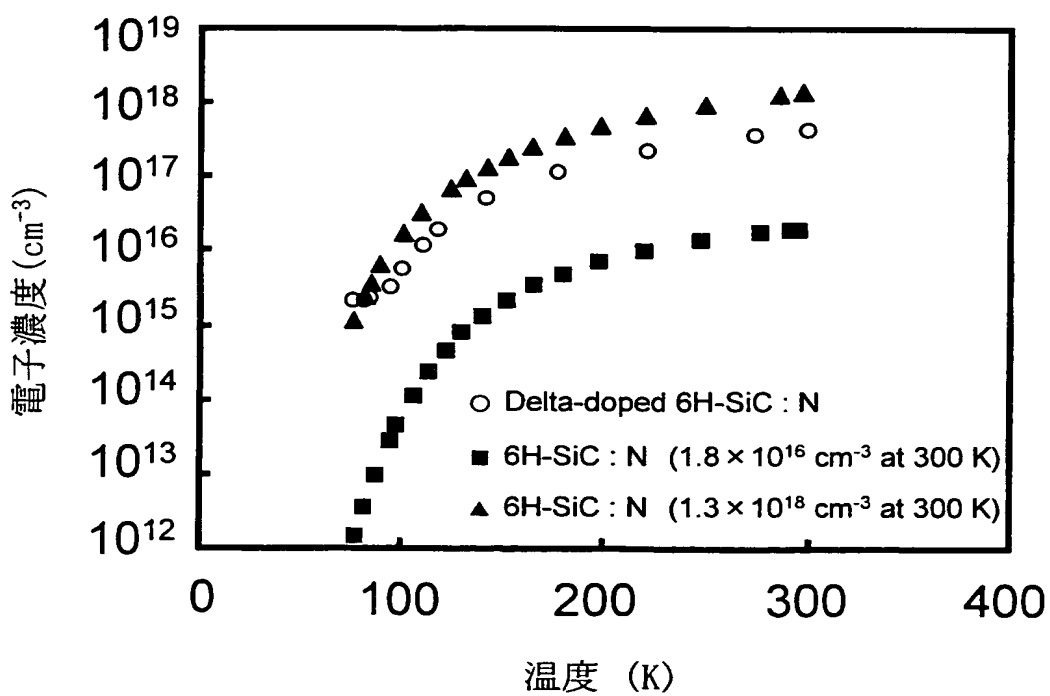
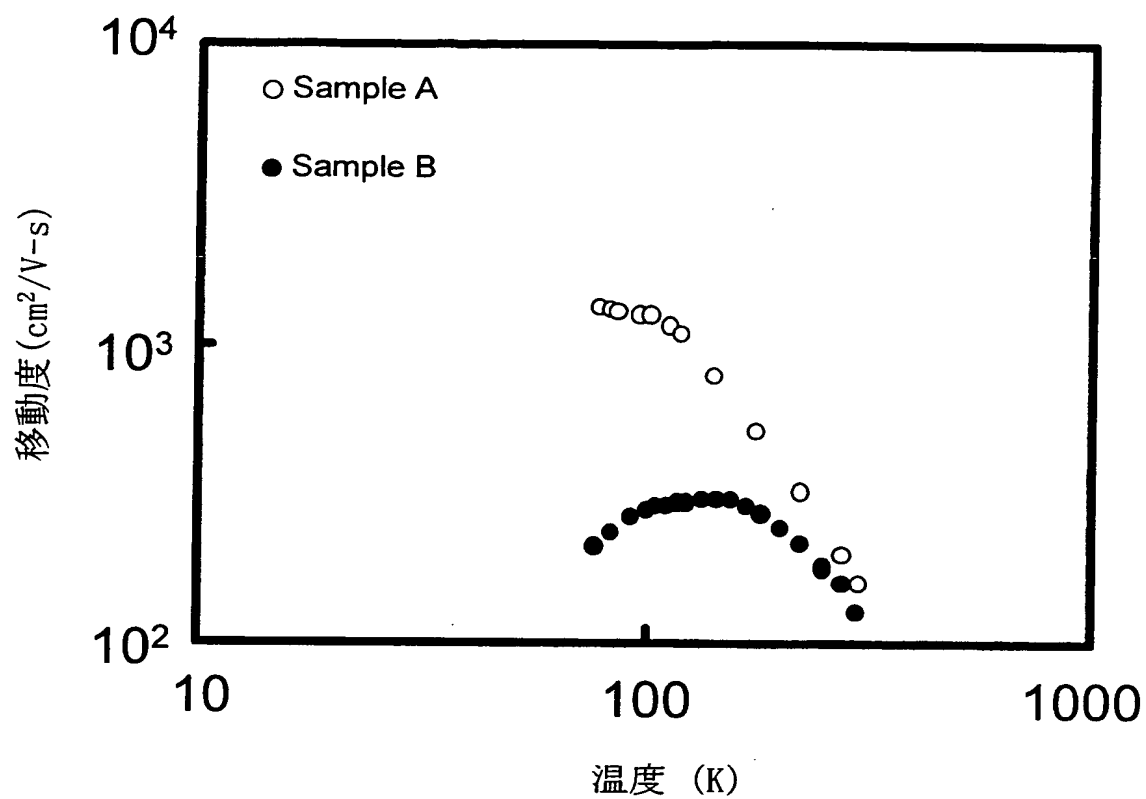


FIG. 15 (b)



16/23

FIG. 16



17/23

FIG. 17(a)

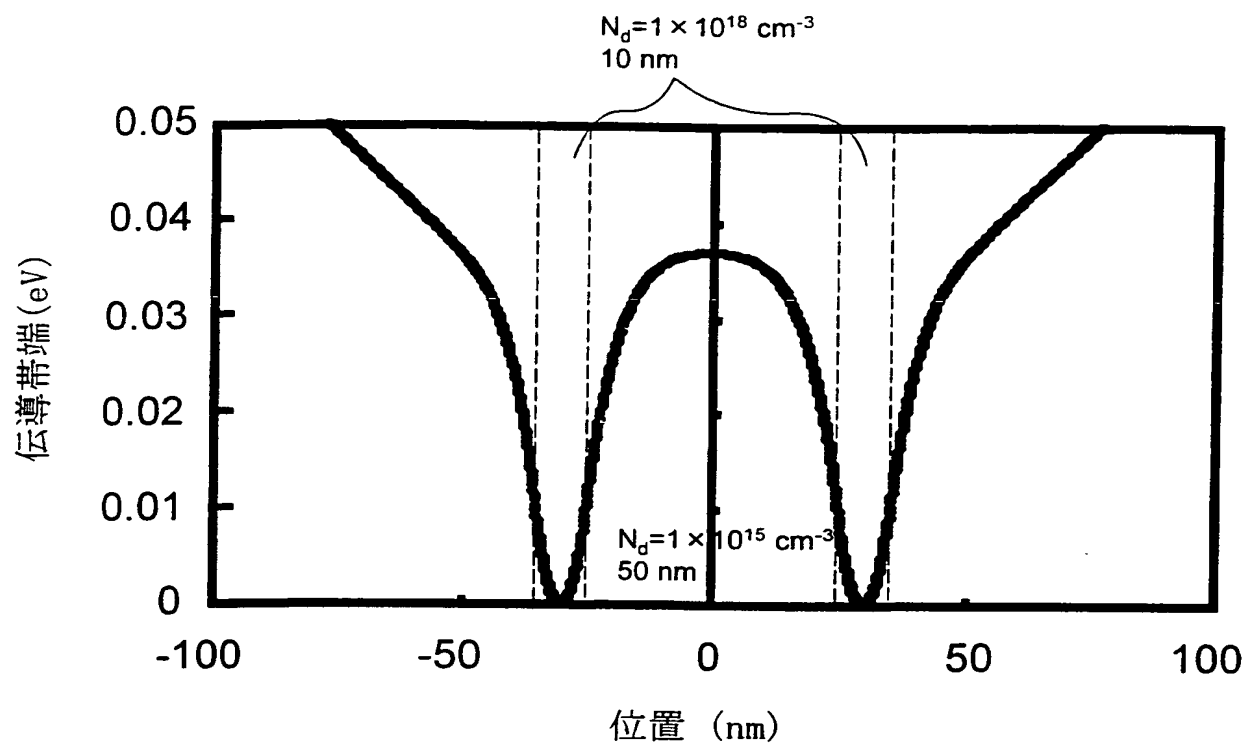
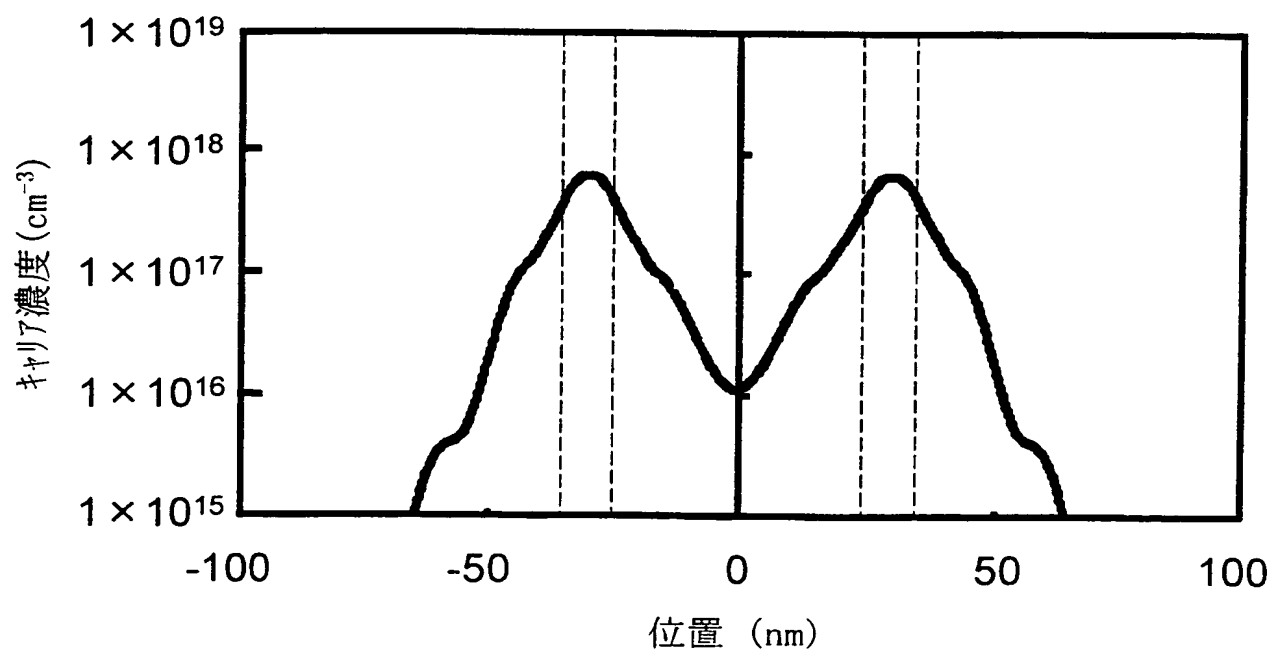


FIG. 17(b)



18/23

FIG. 18(a)

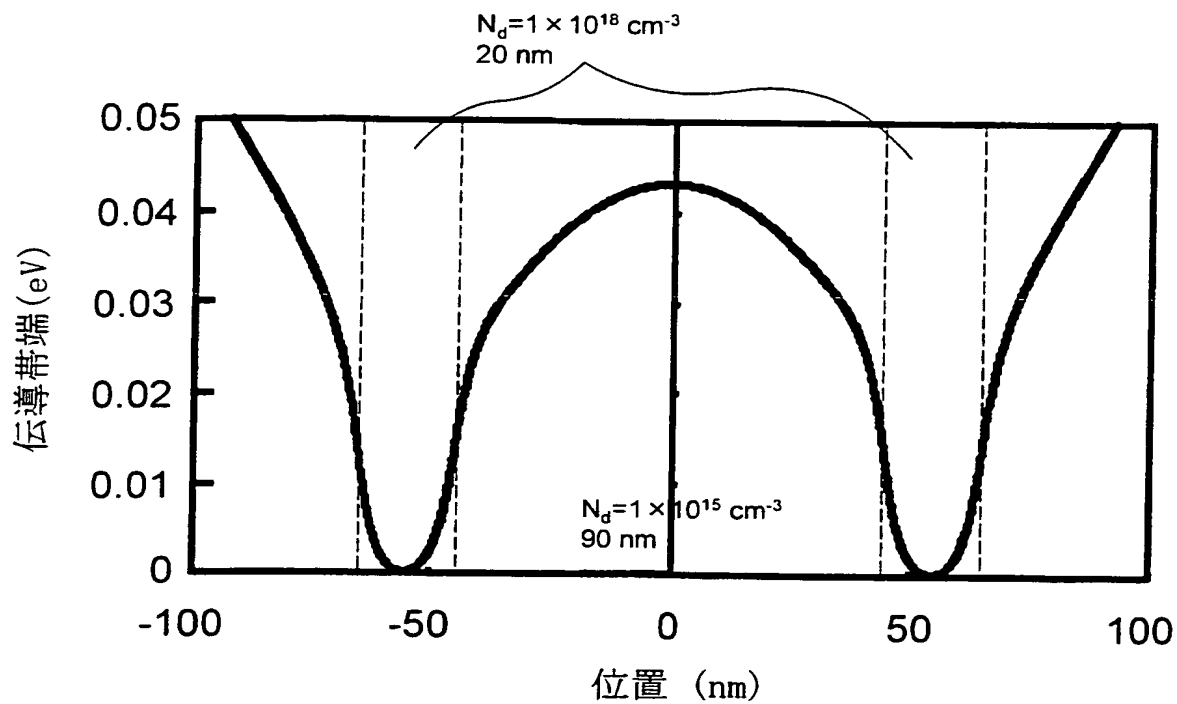
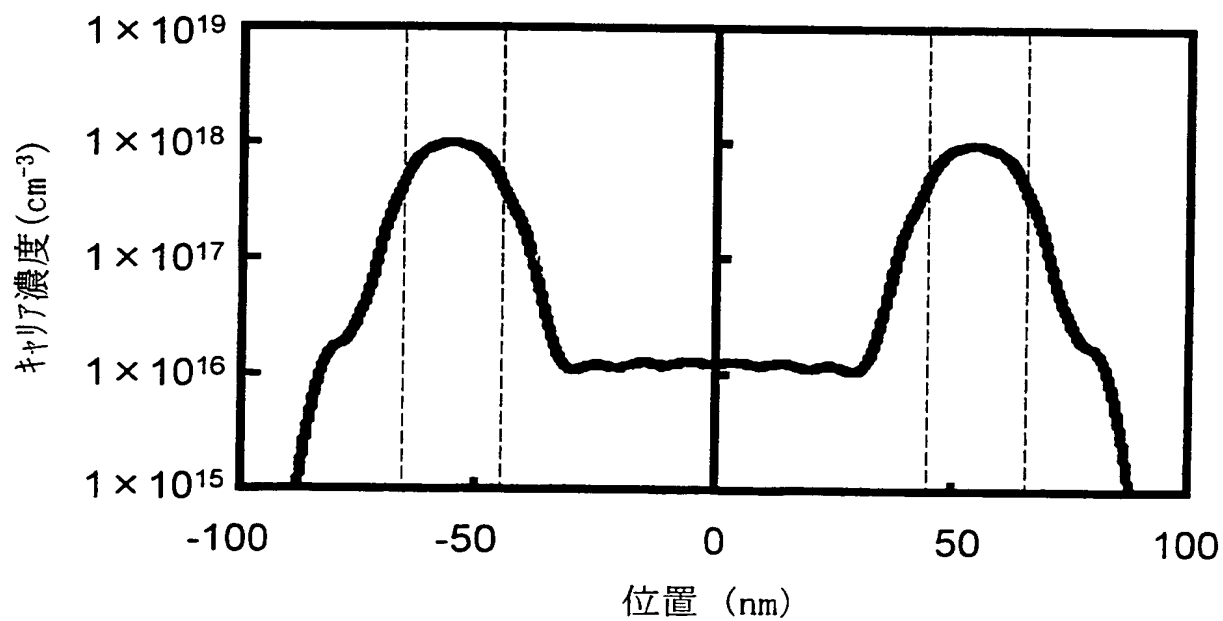


FIG. 18(b)



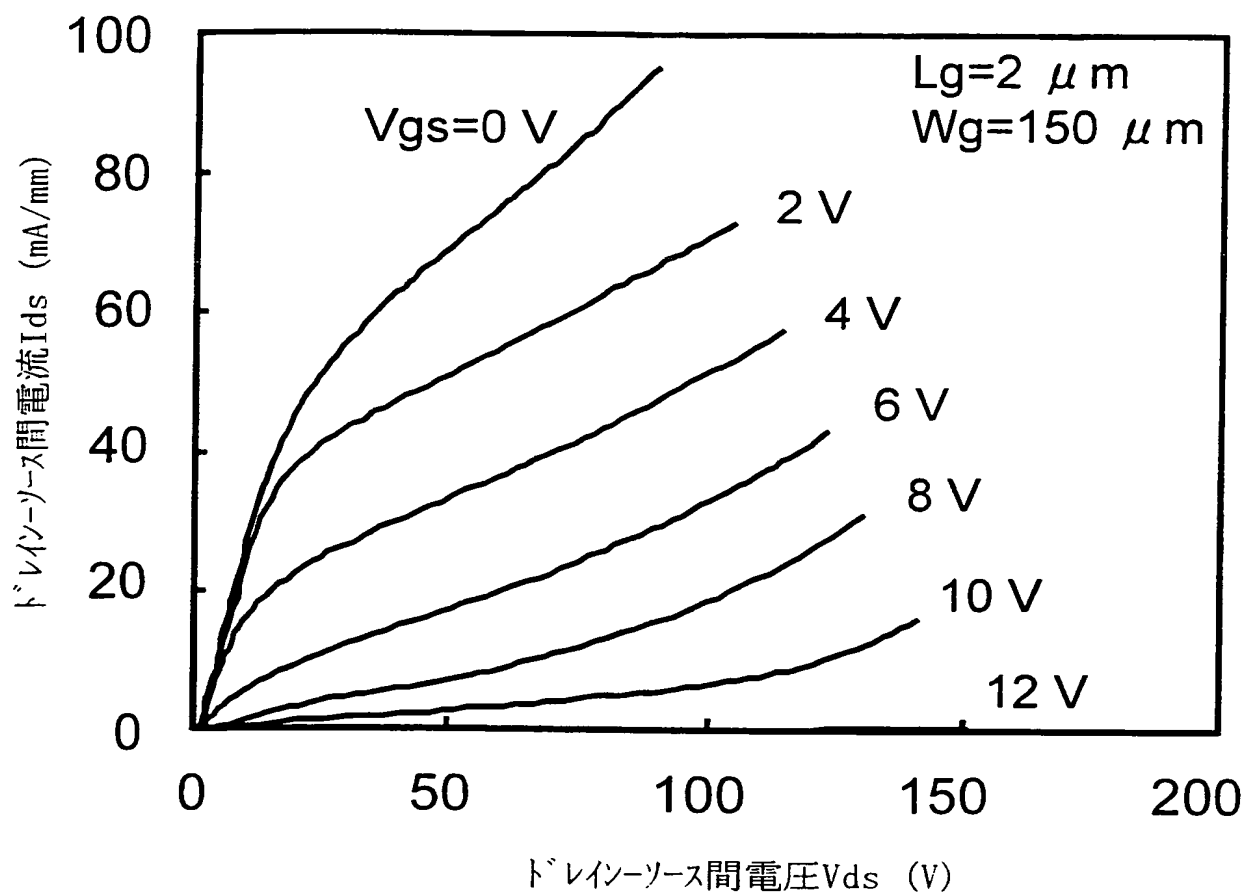
19/23

FIG. 19



20/23

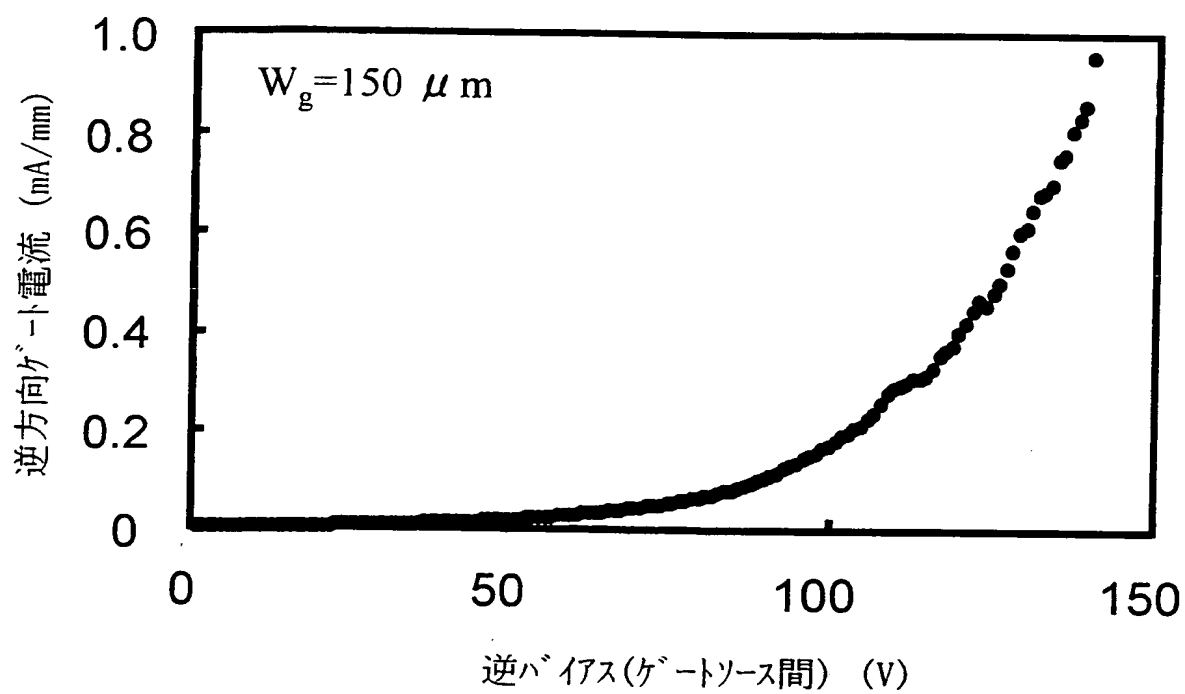
FIG. 20





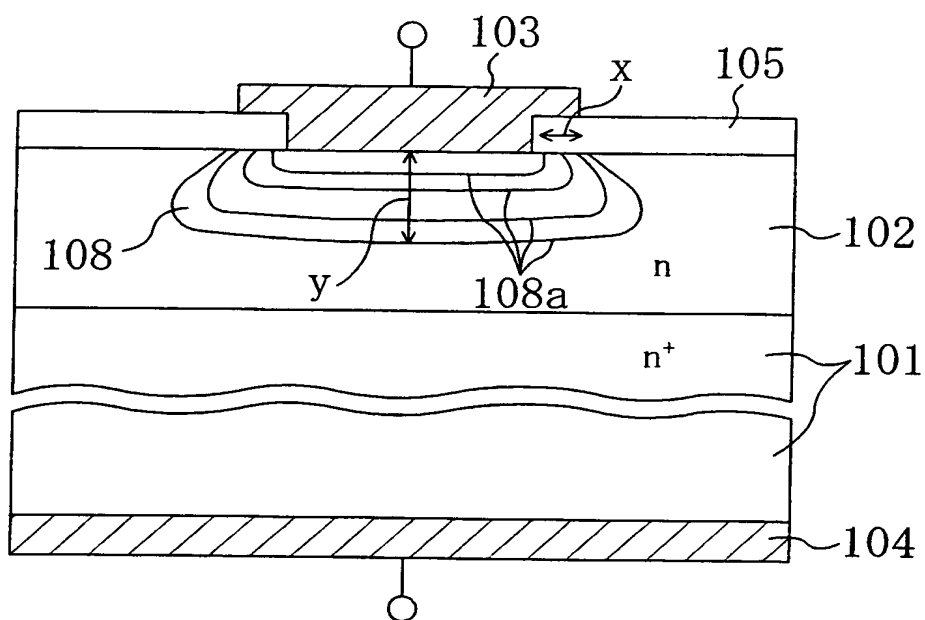
21/23

FIG. 21



22/23

FIG. 22



23/23

FIG. 23

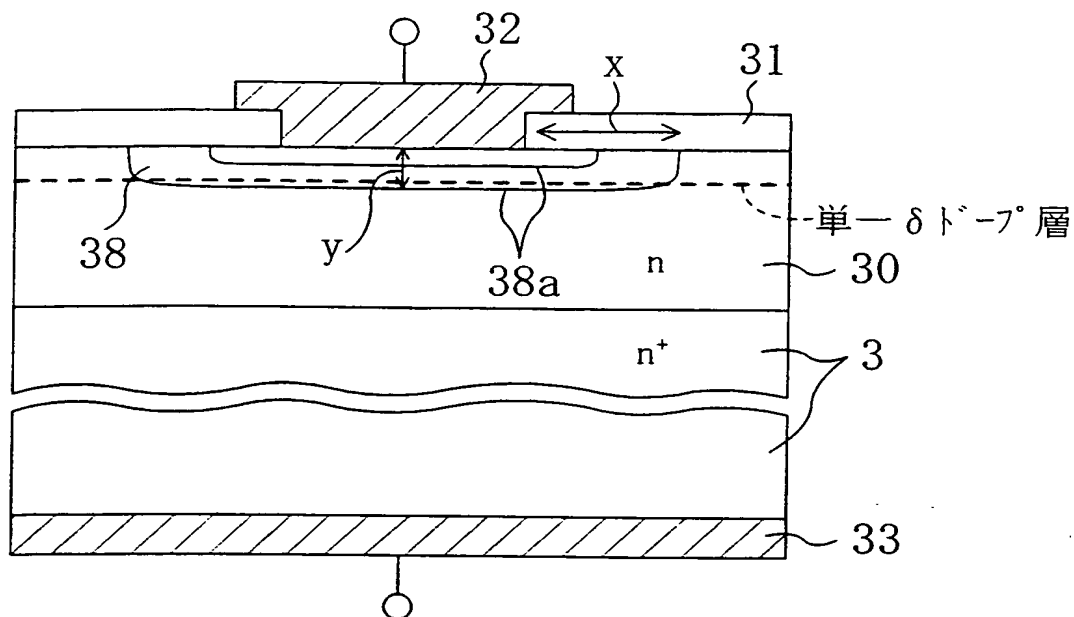
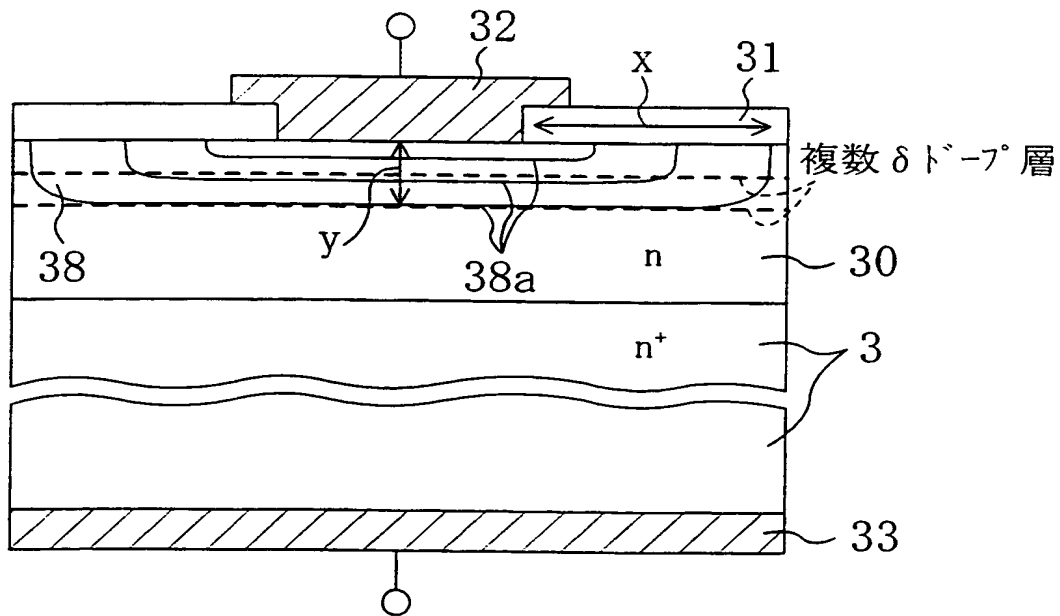


FIG. 24



## SEMICONDUCTOR DEVICE

### TECHNICAL FIELD

The present invention relates to the structure of an  
5 active region that is particularly suited for semiconductor  
power devices having a high breakdown voltage.

### BACKGROUND ART

In recent years there has been intense development of  
10 new semiconductor materials (including so-called semi-  
insulating materials) for achieving semiconductor devices  
having special features, such as high-frequency  
characteristics, light emission characteristics, and  
withstand voltage characteristics. Among semiconductor  
15 materials, those with so-called semi-insulating properties  
in an intrinsic state, for example silicon carbide (SiC),  
gallium nitride (GaN), and gallium arsenide (GaAs), have  
higher hardness and are less susceptible to chemicals than  
silicon (Si), which is the most typical of semiconductor  
20 materials, and because these semiconductors have a large  
band gap, they have promise for future applications in  
next-generation power devices, high-frequency devices, and  
devices operating at high temperature, for example,  
utilizing their high withstand voltages.

25 Semiconductor power devices utilizing these wide band  
gap semiconductor materials include high withstand voltage  
Schottky diodes, MESFETs (Metal Semiconductor Field Effect

Transistors), and MISFETs (Metal Insulator Semiconductor Field Effect Transistors), for example.

An example of a Schottky diode and a MISFET are provided here as conventional examples of a semiconductor power device.

Fig. 11 is a cross-sectional view showing the schematic structure of a conventional Schottky diode using silicon carbide (SiC). As shown in Fig. 11, numeral 101 denotes an  $n^+$  SiC substrate of approximately 100  $\mu$ m thickness that has been doped with a high concentration of nitrogen (N), which is an n-type carrier, numeral 102 denotes an  $n^-$  SiC layer that is approximately 10  $\mu$ m thick and has been doped to a low concentration of nitrogen (N), which is an n-type carrier, numeral 103 denotes a Schottky electrode made of a Ni alloy, numeral 104 denotes an ohmic electrode made of a Ni alloy, and numeral 105 denotes a guard ring made of  $\text{SiO}_2$ . In this diode, when voltage is applied between the Schottky electrode 103 and the ohmic electrode 104 so that the Schottky electrode 103 has a higher potential than the ohmic electrode 104 (forward voltage), current flows between the Schottky electrode 103 and the ohmic electrode 104, and when voltage is applied between the Schottky electrode 103 and the ohmic electrode 104 so that the ohmic electrode 104 has a higher potential than the Schottky electrode 103 (reverse voltage), current does not flow between the Schottky electrode 103 and the ohmic electrode 104. That is, this Schottky diode has a

rectification characteristic that allows current to flow in accordance with forward voltage, but blocks current with respect to reverse voltage.

5

#### PROBLEMS SOLVED BY THE INVENTION

However, there were the following problems with the above-described conventional Schottky diode.

Withstand voltage properties with respect to reverse voltage in the above-described conventional Schottky diode are highly dependant on the doping concentration in the n<sup>-</sup> SiC layer 102. For example, to improve the withstand voltage of the Schottky diode, the doping concentration of the n<sup>-</sup> SiC layer 102 in contact with the Schottky electrode 103 must be kept at a low level. However, because the resistivity of the n<sup>-</sup> SiC layer 102 rises when the doping concentration is lowered, the on-resistance when forward voltage is applied becomes higher. The result is that power consumption increases. Because of this trade-off, it was difficult to simultaneously achieve a high withstand voltage and a low resistivity.

It is known that these problems occur not only in Schottky diodes but in MESFETs and MISFETs as well.

#### DISCLOSURE OF THE INVENTION

25

An object of the present invention is to achieve an active element having a high withstand voltage and low on resistance by creating a new structure for solving trade-

offs such as those in the above-described conventional power devices.

The semiconductor device of the present invention is made by providing, on a substrate, an active region that functions as a portion of an active element, wherein the active region is configured by layering at least one first semiconductor layer which is provided on the substrate, and which functions as a carrier transit region; and at least one second semiconductor layer which includes a higher concentration of impurities for carriers than the first semiconductor layer, which has a thinner film thickness than the first semiconductor layer, and from which carriers can migrate to the first semiconductor layer due to quantum effects.

With this structure, quantum states occurs in the second semiconductor layer due to quantum effects, and the wave function of carriers that are localized in the second semiconductor layer comes to have a certain degree of widening. This results in the diffusion of carriers, such that carriers are not only present in the second semiconductor layer but also as the first conductor layer. Then, when the potential of the active region is increased and the carriers move, the carriers are continually supplied to both the second and the first semiconductor layers, and therefore the carriers are distributed such that they are always present in not only the second semiconductor layer but in the first semiconductor layer as

well. In this state the carriers move not only through the second, but also through the first semiconductor layer, and thus the resistance value of the active region is reduced. In particular, because the scattering on impurity ions  
5 becomes smaller in the first semiconductor layer, a particularly high carrier mobility can be attained.

On the other hand, in a state wherein the entire active region has become depleted, carriers are no longer present in the active region, and therefore the withstand  
10 voltage properties depend on the first semiconductor layer, which has a low concentration of impurities, and over the entire active region a high withstand voltage value is obtained. This means that it becomes possible to simultaneously achieve low resistance and high withstand  
15 voltage of active elements, such as diodes and transistors, within semiconductor devices.

It is preferable that the first and second semiconductor layers are each provided in plurality and are layered in alternation. Thus, it is possible to more  
20 reliably achieve a low resistance value and high withstand voltage properties.

It is preferable that the concentration of impurities for carriers in the first semiconductor layer is below  $1 \times 10^{17}$  atoms  $\cdot \text{cm}^{-3}$ , and that the concentration of impurities  
25 for carriers in the second semiconductor layer is at least  $10^{17}$  atoms  $\cdot \text{cm}^{-3}$ .

It is preferable that the substrate and the active



region are made of one material selected from SiC, GaN, and GaAs. Thus, it is possible to achieve a semiconductor device which has a structure suited for a power device in which materials having a wide band gap are used.

5        It is preferable that the first and second semiconductor layers in the active region are made of the same material. Thus, the potential barrier between the first semiconductor layer and the second semiconductor layer has an even smoother slope, and therefore it becomes  
10    easy for the carriers to be distributed across the first and second semiconductor layers in the active region.

      It is preferable that if the second semiconductor layer is a SiC layer, the thickness of the second semiconductor layer is at least one monolayer and below 20  
15    nm. Thus, in an operating state it becomes possible to effectively attain the migration of carriers into the first semiconductor layer.

      It is preferable that if the first semiconductor layer is a SiC layer, then the thickness of the first  
20    semiconductor layer is at least about 10 nm and at most 100 nm. Thus, in an operating state, a certain amount of current can be secured.

      It is preferable that the substrate is a semiconductor layer that includes a high concentration of  
25    impurities, that the uppermost portion of the active region is made of the first semiconductor layer, and that the semiconductor device further comprises a Schottky electrode

providing a Schottky contact with a portion of the upper surface of the first semiconductor layer at the upper most portion of the active region, and an ohmic electrode providing an ohmic contact with a portion of the substrate.

5 Thus, by taking advantage of the aforementioned characteristics of the active region, it is possible to obtain a vertical-type Schottky diode which is capable of simultaneously attaining a low resistivity during operation and a high withstand voltage value with respect to a  
10 reverse bias.

It is preferable that the semiconductor device further includes a Schottky electrode providing a Schottky contact with a first lateral face of the first semiconductor layer and of the second semiconductor layer  
15 of the active region, and an electrode that is connected to a second lateral face of the first semiconductor layer and of the second semiconductor layer of the active region, the second lateral face being arranged at a certain spacing from the first lateral face. Thus, by taking advantage of  
20 the aforementioned characteristics of the active region, it is possible to obtain a horizontal-type Schottky diode which is capable of simultaneously attaining a low resistivity during operation and a high withstand voltage value with respect to a reverse bias.

25 In the above case, it is preferable that the semiconductor device has a structure that further includes a doped layer for connecting lead, which is formed by

introducing a high concentration of impurities into a region of the active region that is at a certain spacing from the first lateral face of the first semiconductor layer and the second semiconductor layer, and wherein the  
5 electrode is in ohmic contact with the doped layer for connecting lead.

It is preferable that the uppermost portion of the active region is made of the first semiconductor layer, and that the semiconductor device further comprises a Schottky  
10 gate electrode, which is in Schottky contact with a portion of the upper surface of the first semiconductor layer at the uppermost portion of the active region, and source and drain electrodes, which are provided on the active region and sandwich the Schottky gate electrode, and which are  
15 connected to the active region. Thus, taking advantage of the aforementioned characteristics of the active region, it is possible to attain a MESFET that is capable of achieving low power consumption, a high withstand voltage, and a high gain.

20 In that case, it is preferable that the semiconductor device has a structure which further includes two third semiconductor layers, which are provided on the active region and sandwich the Schottky gate electrode, and which include a high concentration of impurities, and that the  
25 source and drain electrodes are in ohmic contact with the third semiconductor layers. Thus, it is possible to achieve a MESFET that has a recessed gate structure.

#### BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a diagram schematically showing the structure of a crystal growth apparatus for forming a thin film, which is used in the embodiments of the present invention.

Fig. 2 is a diagram showing the change in the peak carrier concentration and carrier mobility of the n-type doped layer when the pulse width is changed.

Figs. 3(a) to 3(c) are cross-sectional views showing the method for growing a semiconductor film according to the first embodiment of the present invention.

Fig. 4 is a diagram showing the distribution of the dopant concentration in the depth direction of the active region that is formed in the first embodiment of the present invention.

Fig. 5(a) is a diagram which schematically shows the relationship between the concentration profile of nitrogen and the carrier distribution in the depth direction of the active region according to the first embodiment, and Fig. 5(b) is a partial band diagram showing the shape of the conduction band edge along the depth direction of that active region.

Fig. 6 is a cross-sectional view illustrating the schematic structure of a Schottky diode according to the second embodiment of the present invention.

Figs. 7(a1) to 7(c2) are energy band diagrams showing

the change in shape of the conduction band edge due to bias changes, for the Schottky diode of the second embodiment and for a conventional Schottky diode.

Fig. 8 is a cross-sectional view showing the  
5 schematic structure of a Schottky diode according to a third embodiment of the present invention.

Figs. 9(a1) to 9(c3) are energy band diagrams showing the change in shape of the conduction band edge due to bias changes, for the Schottky diode according to the third  
10 embodiment of the present invention and for a conventional Schottky diode.

Fig. 10 is a cross-sectional view that shows the schematic structure of a MESFET according to the fourth embodiment of the present invention.

15 Fig. 11 is a cross-sectional view showing the schematic structure of a conventional Schottky diode in which silicon carbide (SiC) is used.

Fig. 12 is a diagram showing the measured results of the I - V characteristics of the MESFET according to the  
20 fourth embodiment.

Fig. 13 is a diagram showing the results of a measurement with the C - V method of the impurity concentration of the Schottky diode according to a first experimental example.

25 Fig. 14 is a diagram showing the results of a measurement of the band edge photoluminescence spectrum of the  $\delta$  doped layers in the 6H-SiC substrate according to

the first experimental example.

Fig. 15(a) is a graph illustrating the temperature dependency of the electron mobility in the 6H-SiC layer according to the first experimental example, and Fig. 15(b) is a graph illustrating the temperature dependency of the electron concentration in the same.

Fig. 16 is a graph illustrating the temperature dependency of electron mobility in sample A and sample B according to the first experimental example.

Fig. 17(a) is a diagram showing the results of a simulation of the band structure of the conduction band edge in sample A according to the first experimental example, and Fig. 17(b) is a diagram showing the results of a simulation of the carrier concentration distribution in the same.

Fig. 18(a) is a diagram showing the results of a simulation of the band structure of the conduction band edge in sample B according to the first experimental example, and Fig. 18(b) is a diagram showing the results of a simulation of the carrier concentration distribution in the same.

Fig. 19 is a cross-sectional view schematically showing the structure of the MESFET according to the second experimental example.

Fig. 20 is a diagram showing the I - V characteristics of the MESFET fabricated in the second experimental example.

Fig. 21 is a graph showing the dependency of the reverse gate current on the reverse gate-source voltage in the MESFET of the second experimental example.

Fig. 22 is a cross-sectional view showing the widening of the depletion layer during reverse bias application in the conventional Schottky diode shown in Fig. 11, in which a SiC substrate is used.

Fig. 23 is a cross-sectional diagram showing the expansion of the depletion layer during reverse bias application in a Schottky diode made by providing a single  $\delta$  doped layer in the active region.

Fig. 24 is a cross-sectional view showing the expansion of the depletion layer during reverse bias application in a Schottky diode which has been made by providing a plurality of  $\delta$  doped layers in the active region.

#### BEST MODE FOR CARRYING OUT THE INVENTION

Fig. 1 is a diagram that schematically shows the structure of a crystal growth apparatus for forming a thin film, which is used in the embodiments of the present invention.

As shown in Fig. 1, this vertical-type crystal growth apparatus includes, in a chamber 1, a susceptor 4 made of carbon for mounting a substrate 3, a support shaft 5 for supporting the susceptor 4, a quartz tube 2 of the chamber 1, and a coil 6 that is wrapped around the outside of the

quartz tube 2 and is for induction heating the susceptor 4 with a high-frequency current. The quartz tube 2 is made of a double quartz tube, for example, and is configured such that it allows coolant to flow. Additionally, the apparatus is provided with a gas supply system 8 in which for example various gas cylinders are arranged for supplying gas to the chamber 1, and a gas exhaust system 15 in which a vacuum pump, for example, for discharging the various gases from the chamber 1 is disposed. The gas supply system 8 and the chamber 1 are connected by a source gas supply pipe 7 for supplying source gas, a dilution gas supply pipe 9 for supplying dilution gas such as hydrogen, and an additive gas supply pipe 12 for supplying additive gas such as inert gas or doping gas, and the source gas supply pipe 7 and the dilution gas supply pipe 9 merge at an intermediate location before connecting to the chamber 1. Also, flowmeters 10 and 11 for adjusting the gas flow rate are provided in the source gas supply pipe 7 and the dilution gas supply pipe 9, respectively, at locations before the two pipes merge. Furthermore, the gas exhaust system 15 and the chamber 1 are connected by an exhaust pipe 14, and a pressure adjustment valve 16 for adjusting the pressure in the chamber 1 depending on the flow rate of the discharged gas is installed in the exhaust pipe 14.

Here, special features of the crystal growth apparatus are that a pulse valve 20 is installed in the additive gas supply pipe 12, and that a gas introducing



pipe 13 of an approximately 2 cm diameter extends from the tip of the additive gas supply tube 12 into the chamber 1, the tip of the gas introducing pipe 13 opening up at a location that is approximately 5 cm above the upper surface of the substrate 3.

The susceptor 4 is coated with an approximately 100  $\mu\text{m}$  thick SiC film so that outgassing does not occur during heating at elevated temperatures. The thickness of this SiC film should be given at least a thickness at which the occurrence of outgassing can be prevented.

After the combination of the source gas, which is supplied by the gas supply system 8 and passes through the source gas supply pipe 7, and the dilution gas, which is supplied by the gas supply system 8 and passes through the dilution gas supply pipe 9, those gases are introduced into the chamber 1 from the top of the chamber 1. At that time, the flow rate of the source gas and the dilution gas is adjusted by the flowmeters 10 and 11.

On the other hand, the additive gas, for example doping gas or inert gas, passes through the additive gas supply pipe 12 and is supplied to the surface of the substrate 3 in pulses corresponding to the periodic opening and closing of the pulse valve 20. The period during which the pulse valve 20 is open (pulse width) and the period during which it is closed (interval between pulses) can be freely set, and for example when the pulse valve 20 is open for a period of 100  $\mu\text{s}$  ( $\mu\text{sec}$ ) and closed for a period of

4 ms (msec), the valve repeatedly opens and closes approximately 240 times per second. Although it is preferable that the tip of the gas introducing pipe 13 and the substrate 3 are close to one another, if they are too close the gas can be effectively supplied in pulses only to a narrow area, and therefore it is preferable that the distance between the two is about 5 cm.

Moreover, the source gas, the dilution gas, and the additive gas are passed through the exhaust pipe 14 and discharged to the outside by the gas exhaust system 15.

Fig. 2 is a graph showing the change in the peak carrier concentration ( $\text{cm}^{-3}$ ) and the carrier mobility ( $\text{cm}^2/\text{Vs}$ ) of the n-type doped layer when changing the on period (pulse width) during which the pulse valve is open. At this time, the secondary pressure of the decompressor of the gas cylinder in the gas supply system 8 was held constant at 78,400 Pa (0.8 kgf/cm<sup>2</sup>). Additionally, the on period during which the pulse valve 20 is open is changed, but the off period (interval between pulses) during which the pulse valve 20 is closed was held constant at 4 ms.

As shown in Fig. 2, the peak carrier concentration of the n-type doped layer can clearly be controlled by changing the on period during which the pulse valve 20 is open. From these results it can be seen that the peak carrier concentration can be adjusted even if the off period is changed. In particular, when the off period (interval between pulses) remains constant, simply by

varying the on period (pulse width) of the pulse valve between 95  $\mu$ s and 110  $\mu$ s, the peak carrier concentration can be significantly varied from  $5 \times 10^{16} \text{ cm}^{-3}$  to approximately  $1 \times 10^{19} \text{ cm}^{-3}$ .

5

#### First Embodiment

As a first embodiment, a method is described for homoepitaxial growth of an n-type doped layer made of hexagonal silicon carbide (SiC) on the substrate 3 using the crystal growth apparatus shown in Fig. 1, and using a  
10 hexagonal single-crystal silicon carbide substrate (6H-SiC substrate) having a principal face provided with an off angle on the (0001) face (C face) as the substrate 3 of Fig. 1. Figs. 3(a) to 3(c) are cross-sectional views showing  
15 the method for growing a semiconductor film according to the present embodiment.

As shown in Fig. 3(a), the principal face of the substrate 3 (6H-SiC substrate) is a face ((0001) off face) with a  $3.5^\circ$  tilt in the [11-20] direction from the (0001) face (C face), and is an n-type Si face in which the Si  
20 atoms are lined up in the surface. The diameter of the substrate 3 is 25 mm. First, the substrate 3 is subjected to thermal oxidation for three hours at  $1110^\circ\text{C}$  in a water vapor atmosphere through which oxygen is bubbled at a flow  
25 rate of 5 (l/min), and once a thermal oxide film of approximately 40 nm thickness is formed on the surface, the thermal oxide film is removed by buffered hydrofluoric acid

(hydrofluoric acid : ammonium fluoride aqueous solution = 1:7). The substrate 3 from which the thermal oxide film has been removed from its surface is placed on the susceptor 4, and the pressure in the chamber 1 is reduced until it reaches a vacuum degree of about  $10^{-6}$  Pa ( $.10^{-8}$  Torr).

Next, with the process shown in Fig. 3(b), hydrogen gas with a flow rate 2 (l/min) and argon gas with a flow rate 1 (l/min) are supplied as dilution gases from the gas supply system 8, and the pressure in the chamber 1 is set to 0.0933 MPa (700 Torr). The pressure in the chamber 1 is controlled by the opening of the pressure adjustment valve 16. While the flow rates are maintained, an induction heating device is used to apply a high-frequency voltage of 20.0 kHz and 20 kW to the coil 6 to heat the susceptor 4. The temperature of the substrate 3 is controlled to a constant temperature of approximately 1600.C. While the flow rates of the hydrogen gas and the argon gas are held at the above-mentioned constant values, propane gas ( $C_3H_8$ ) with a flow rate of 2 (ml/min) and silane gas ( $SiH_4$ ) with a flow rate of 3 (ml/min) are introduced into the chamber 1 as source gases. The source gases are diluted by hydrogen gas with a flow rate of 50 (ml/min). Then, by supplying propane gas and silane gas to the substrate 3 (6H-SiC substrate) on the induction heated susceptor 4, an undoped layer 22 (low-concentration doped layer) of approximately 50 nm thickness made of undoped 6H-SiC single crystal is

epitaxially grown on the (0001) off face, that is, the principal face of the substrate 3. Because at this time impurities for carriers such as nitrogen may be introduced to a certain extent by remanent gas, for example, even if  
5 nitrogen gas, for example, is not used, the term "undoped layer" will be used throughout this and the following embodiments to refer to layers in which nitrogen has not been introduced consciously during the fabrication process.

By supplying the n-type doping gas of nitrogen in  
10 pulses to the chamber 1 while continuing to supply the source and dilution gases, an n-type doped layer 23 (high-concentration doped layer) of approximately 10 nm thickness is formed on the undoped layer 22. At this time, by repeatedly opening and closing the pulse valve 20 while the  
15 source and dilution gases are being supplied, it is possible to supply doping gas in pulses from the introducing pipe 13 directly onto the substrate 3 within the chamber 1. In the present embodiment, the period during which the pulse valve 20 is open (pulse width) has  
20 been set to 102  $\mu$ s, and the period during which the pulse valve 20 is closed (interval between pulses) has been set to 4 ms. Moreover, the n-type doped layer 23 is formed by repeatedly opening and closing the pulse valve 20 while the doping gas is being supplied. At this time, approximately  
25 30 seconds are required for the epitaxial growth of the 10nm thick n-type doped layer 23.

Next, with the process shown in Fig. 3(c), by further

repeating the process of closing the pulse valve 20 to stop the supply of nitrogen (N) and form an undoped layer 22 by supplying only the source gas, and then opening and closing the pulse valve 20, while simultaneously supplying the source gas, to introduce nitrogen (N) to form an n-type doped layer 23, an active region 30 is formed by alternately layering undoped layers 22 and n-type doped layers 23.

This means that the active region 30 is formed by alternately layering the undoped layers 22 that are first semiconductor layers, and the n-type doped layers 23 that are second semiconductor layers, which are not as thick as the undoped layers and include impurities for carriers at a concentration higher than that of the undoped layers 22 (first semiconductor layers), and which are thin enough that carriers migrate into the undoped layers 22 due to quantum effects.

Fig. 4 is a diagram showing the dopant concentration distribution in the depth direction of the active region 30 that is formed in the present embodiment. As mentioned above, during formation of the n-type doped layers 23, the pulse valve 20 is set to be open for a period (pulse width) of 102  $\mu$ s, and closed (interval between pulses) for a period of 4 ms. The concentration profile in Fig. 4 was obtained from the result of measurements made using secondary ion mass spectrometry (SIMS). In the diagram, the horizontal axis represents depth (in  $\mu$ m) from the

upper surface of the substrate, and the vertical axis represents concentration (in atoms  $\cdot$  cm<sup>-3</sup>) of the nitrogen dopant. As shown in the diagram, the concentration of nitrogen (N) in the n-type doped layers 23 that were formed using the method of the present embodiment is substantially uniform (at approximately  $1 \times 10^{18}$  atoms  $\cdot$  cm<sup>-3</sup>), and both the transition regions in which the undoped layers 22 change into the n-type doped layers 23, and the transition regions in which the n-type doped layers 23 change into the undoped layers 22, show an extremely sharp change in impurity concentration. The data of Fig. 4 were obtained for doped layers formed while nitrogen gas, as the carrier gas, was flowed when the pulse valve 20 was open for a period (pulse width) of 102  $\mu$ s, and therefore the peak concentration of nitrogen shown in Fig. 4 is about  $1 \times 10^{18}$  atoms  $\cdot$  cm<sup>-3</sup>, but as shown in Fig. 2, by setting the time during which the pulse valve 20 is open (pulse width) to about 110  $\mu$ s, the peak concentration of the nitrogen can be raised to about  $1 \times 10^{19}$  atoms  $\cdot$  cm<sup>-3</sup>. Moreover, it is also easy to regulate the nitrogen concentration of the undoped layers to about  $1 \times 10^{16}$  atoms  $\cdot$  cm<sup>-3</sup> if nitrogen gas, as the carrier gas, is allowed to flow. Letting the carrier gas flow to supply the undoped layers with a certain amount of nitrogen flow is advantageous because this stabilizes the nitrogen concentration of the undoped layers so that it can be controlled to a constant concentration.

Fig. 5(a) is a diagram schematically showing the relationship between the concentration profile of nitrogen, which is an n-type impurity, and the carrier distribution in the depth direction of the active region 30, which has the basic structure of the present embodiment, and Fig. 5(b) is a partial band diagram showing the shape of the conduction band edge along the depth direction of the active region 30. However, Figs. 5(a) and 5(b) are models created for the case that the nitrogen concentration in the undoped layers 22 (low-concentration doped layers) has been set to  $5 \times 10^{15}$  atoms  $\cdot$  cm $^{-3}$  without using nitrogen as the carrier gas, and the concentration of nitrogen in the n-type doped layers 23 (high-concentration doped layers) has been set to  $1 \times 10^{18}$  atoms  $\cdot$  cm $^{-3}$  by regulating the pulse width of the pulse valve to about 102  $\mu$ s.

From the data shown in Fig. 4, the impurity concentration profile of the n-type doped layers 23 is given substantially by the shape of  $\delta$  functions with respect to a primer of an undoped layer 22, as shown in Fig. 5(a). That is, the n-type doped layers 23 can be taken as so-called  $\delta$  doped layers. In this case, the thickness of the n-type doped layers 23 is thin at about 10 nm, and thus quantum states due to quantum effects occur in the n-type doped layers 23, and the wave function of electrons localized in the n-type doped layers 23 expands to a certain degree. The result is a distribution in which carriers, as illustrated by the broken line in the diagram,



are not only present in the n-type doped layers 23 but also in the undoped layers 22. Moreover, because electrons are continually supplied to the n-type doped layers 23 and the undoped layers 22 when the potential of the active region 30 is raised and the carriers are in motion, the electrons are always distributed so as to be not only in the n-type doped layers 23 but also in the undoped layers 22. In this state, electrons travel through the n-type doped layers 23 as well as the undoped layers 22, and thus the resistance value of the active region 30 is lowered. Because impurity ion scattering in the undoped layers 22 is reduced at this time, particularly high electron mobility can therefore be obtained in the undoped layers 22.

On the other hand, when the entire active region 30 has been depleted, the carriers can no longer exist in the undoped layers 22 and the n-type doped layers 23, and thus withstand voltage properties are regulated by the undoped layers 22, which have a low impurity concentration, and therefore a high withstand voltage value can be obtained throughout the entire active region 30.

Note that the above-mentioned effects can be obtained in the same way when holes, not electrons, are used as the carriers.

As shown in Fig. 5(b), the conduction band edge of the entire active region 30 is a shape connecting the conduction band edge of the n-type doped layers 23 and the conduction band edge of the undoped layers 22, which are

type doped layers formed by opening the pulse valve instead of the undoped layers.

Furthermore, in the present embodiment a structure was described in which an active region was provided on a silicon carbide substrate (SiC substrate) by layering undoped layers (low-concentration doped layers) and n-type doped layers (high-concentration doped layers) using an epitaxial growth process, however, the structure of the active region according to the present invention can also be provided on a substrate made of a material other than silicon carbide (SiC). In particular, GaAs and GaN substrates, for example, have a band gap that is so wide that they are also called semi-insulator materials, and thus, applying them to the present invention has the benefit that a device with high-withstand voltage can be formed.

Still further, the present embodiment has been explained with a CVD process using induction heating as the method for growing a thin film on the substrate, but as long as gas is used to grow a thin film on the substrate, the thin film growth method of the present invention is of course also advantageous for growing a thin film on the substrate by plasma CVD, photo-induced CVD, or electron beam induced CVD.

Furthermore, the present invention can be suitably applied using methods other than CVD methods, such as sputtering, vapor deposition, or MBE to layer low-

concentration doped layers (including undoped layers) and high-concentration doped layers, which are thinner than the low-concentration doped layers and are thin enough that carriers can migrate into the low-concentration doped layers due to quantum effects.

The following is a description of embodiments relating to various devices applying the active region formed using the method of the present embodiment.

## 10 Second Embodiment

First, a second embodiment relating to a Schottky diode using the active region having the structure of the first embodiment will be described. Fig. 6 is a cross-sectional view illustrating the schematic structure of a Schottky diode, which is a power semiconductor device, according to the second embodiment.

As shown in Fig. 6, provided on the principal face of the substrate 3, which is an n-type 6H-SiC substrate whose principal face is the (0001) off face, is an active region 30 in which undoped layers 22 (low-concentration doped layers) and n-type doped layers 23 (high-concentration doped layers) that have been formed with the method described above in the first embodiment are layered in alternation at 50 layers each. Here, the thickness of the substrate 3 is approximately 100  $\mu\text{m}$ , and the nitrogen concentration within the substrate 3 is approximately  $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ . The thickness of the n-type doped layers

23 is approximately 10 nm, and the peak concentration of nitrogen in the n-type doped layers 23 is  $1 \times 10^{18}$  atoms  $\cdot$   $\text{cm}^{-3}$ . The thickness of the undoped layers 22 is approximately 50 nm, and the nitrogen concentration in the undoped layers 22 is approximately  $5 \times 10^{15}$  atoms  $\cdot$   $\text{cm}^{-3}$ . The thickness of the entire active region 30 is approximately 3000 nm ( $3 \mu\text{m}$ ). The uppermost portion of the active region 30 is made of an undoped layer 22, and provided on top of the undoped layer 22 at the uppermost portion of the active region 30 are a guard ring 31 made of a silicon oxide film, and a Schottky electrode 32 made of a Ni alloy, which provides a Schottky contact with the undoped layer 22 at the uppermost portion of the active region 30 at an aperture portion that has been provided in the guard ring 31. An ohmic electrode 33 made of a Ni alloy is provided on the rear face of the substrate 3, and is in ohmic contact with the substrate 3. It is sufficient if the ohmic electrode 33 is in contact with the substrate 3 at some location, and it can also be in contact with a lateral face of the substrate 3.

The structure of the Schottky diode shown in Fig. 6 is formed by the following procedure. First, the substrate 3, which is a SiC substrate doped with nitrogen to a high concentration, is placed inside the crystal growth apparatus shown in Fig. 1, CVD is performed as described in the first embodiment, and approximately 50 nm thick undoped layers 22 and approximately 10 nm thick n-type doped layers

23 are layered in alternation on the substrate 3 by epitaxial growth to form the active region 30. Next, a silicon oxide film is formed on the substrate, after which a portion of that film is opened up, thus forming the guard  
5 ring 31. Next, the ohmic electrode 33 made of a Ni alloy is formed on the rear face of the substrate 3, and the Schottky electrode 32 made of a Ni alloy is formed over the aperture region of the guard ring 31 on the substrate.

Figs. 7(a1) to (c2) are energy band diagrams showing  
10 the change in shape of the conduction band edge due bias changes, for the Schottky diode of the present embodiment and the conventional Schottky diode shown in Fig. 11. Here, Figs. 7(a1), (b1), and (c1) show the conduction band edge of the active region of the Schottky diode of the present  
15 embodiment, and Figs. 7(a2), (b2), and (c2) show the conduction band edge of the  $n^-$  SiC layer of a conventional Schottky diode. Also, Figs. 7(a1) and (a2) show the shape of the conduction band edge when no voltage is applied between the Schottky electrode and the ohmic electrode (0  
20 bias), Figs. 7(b1) and (b2) show the shape of the conduction band edge when a voltage is applied between the Schottky electrode and the ohmic electrode such that the Schottky electrode has a higher potential than the ohmic electrode (forward bias), and Figs. 7(c1) and (c1) show the  
25 shape of the conduction band edge when a voltage is applied between the Schottky electrode and the ohmic electrode such that the ohmic electrode has a higher potential than the

Schottky electrode (reverse bias). Note that the state of contact between the ohmic electrode 33 and the active region 30 does not substantially change with the change in bias, and therefore a diagrammatical description thereof has been omitted. Moreover, the present embodiment has been described with respect to a case wherein n-type semiconductor layers, in which electrons move as carriers, have been provided, and thus a diagrammatical description of the shape of the valence electron band edge has also been omitted.

As illustrated in Figs. 7(a1) and (a2), in their natural state, both the Schottky diode of the present embodiment and the conventional Schottky diode have a high Schottky barrier (of approximately 1 eV) between the uppermost portion of the active region and the Schottky electrode, or between the n<sup>-</sup> SiC layer and the Schottky electrode, respectively.

Furthermore, as shown in Fig. 7(b1), when forward bias is applied to the Schottky diode of the present embodiment, the potential of the active region 30 rises, that is, the energy level of the conduction band edge of the entire active region 30 increases. Then, because a carrier distribution such as that shown in Fig. 5(a) occurs in the undoped layers 22 within the active region 30, current flows from the active region 30 to the Schottky electrode 32. That is to say, not only the n-type doped layers 23 in the active region 30 but also the undoped

layers 22 function as carrier transit regions. At this time, although the carrier distribution in the undoped layers 22 is as shown in Fig. 5(a), there is a low concentration of impurities in those layers, so the impurity scattering in the undoped layers 22 is significantly reduced. Ordinarily, conductance of the semiconductor (the reciprocal of the resistance value) is proportional to the product of the electric field, carrier concentration, and carrier mobility, and carrier mobility increases in regions into which carriers have migrated. Consequently, with the Schottky diode of the present embodiment, the value of resistance of the entire active region 30 can be kept small, and low power consumption and large current can be achieved.

On the other hand, as shown in Fig. 7(b2), when forward bias is applied to the conventional Schottky diode, current flows from the  $n^+$  SiC substrate to the Schottky electrode, but at that time it must pass through the  $n^-$  SiC layer, which is a region of large electric resistance, and therefore a large amount of power must be used.

As illustrated in Fig. 7(c1), when a reverse bias is applied to the Schottky diode of the present embodiment, the entire energy level of the conduction band edge in the active region 30 becomes lower. Here, the value of the withstand voltage depends on the electric field applied to the depletion layer during reverse bias. With the Schottky diode of the present embodiment the thickness of the n-type

doped layers 23 is extremely thin, and therefore the width of the depletion layer of the entire active region 30 can be thought of as being dependant on and determined by the impurity concentration of the undoped layers 22. In that case, the lower the impurity concentration, the smoother the slope of the conduction band edge becomes, so that naturally, the lower the impurity concentration, the wider the depletion layer width becomes. Therefore, a large withstand voltage value can be obtained in the Schottky diode of the present embodiment.

On the other hand, as illustrated in Fig. 7(c2), in the conventional Schottky diode, the width of the depletion layer of the  $n^-$  SiC layer changes in accordance with the impurity concentration of the  $n^-$  SiC layer, and therefore the resistance value and withstand voltage value can be controlled by adjusting the impurity concentration of the  $n^-$  SiC layer. However, there is the trade-off that the depletion layer width becomes narrow and the withstand voltage value drops when the impurity concentration of the  $n^-$  SiC layer is raised to reduce the value of resistance, but on the other hand, the value of resistance increases when the impurity concentration of the  $n^-$  SiC layer is reduced. This means that with a conventional Schottky diode it is difficult to simultaneously achieve low resistivity (low power consumption) and a high withstand voltage value, which are desirable in power devices.

In contrast, the Schottky device of the present



embodiment takes advantage of the fact that in a forward bias state the carriers are distributed from the n-type doped layers 23 (high-concentration doped layers) into the undoped layers 22 (low-concentration doped layers), and a large current can flow easily without being subject to a large resistance. On the other hand, in a reverse bias state, there are no carriers in the undoped layers 22, and thus a high withstand voltage value is obtained. That is, attention was given to fact that the distribution of carriers is different in the forward bias and reverse bias states, and the trade-off between low resistivity and high withstand voltage that was given in conventional Schottky diodes can be eliminated.

For example, in the present embodiment, it was possible to achieve a Schottky diode having an actually measured high withstand voltage value of about 1000 V with respect to reverse bias. The on resistance of the Schottky diode of the present embodiment has an actually measured value of approximately  $1 \times 10^{-3} \Omega \text{ cm}^2$ , thus showing an extremely low resistance value.

Furthermore, it seems that the reason why the Schottky diode of the present embodiment has such a large withstand voltage value is not only because of the effects as those mentioned above, but also due to the effects explained below.

Fig. 22 is a cross-sectional view showing the expansion of the depletion layer during reverse bias

application in the conventional Schottky diode using a SiC substrate, shown in Fig. 11. As shown in Fig. 22, when a voltage (reverse bias) is applied between a Schottky electrode 103 and an ohmic electrode 104 such that the  
5 ohmic electrode 104 has a higher potential than the Schottky electrode 103, a depletion layer 108 spreads vertically and horizontally in the  $n^-$  SiC layer 102. At this time, the horizontal expansion of the depletion layer shown by the arrow  $x$  in the drawing is smaller than the  
10 vertical (thickness direction) expansion of the depletion layer shown by the arrow  $y$  in the drawing. That is, the horizontal spacing between equipotential planes 108a is narrower than the vertical spacing between equipotential planes 108a. The result is that the electric field within  
15 the depletion layer 108 becomes largest near the edge of the bottom face of the Schottky electrode 103, and insulation breakdowns at this portion occur easily.

Fig. 23 is a cross-sectional view showing the expansion of the depletion layer during reverse bias  
20 application in a Schottky diode made by providing a single  $\delta$  doped layer in the active region. Here, only a single  $n$ -type doped layer ( $\delta$  doped layer) is provided in the active region 30, and an undoped layer accounts for the rest of the active region. In this case, as shown in the  
25 drawing, when a voltage (reverse bias) is applied between the Schottky electrode 32 and the ohmic electrode 33 such that the potential of the ohmic electrode 33 becomes higher

than that of the Schottky electrode 32, the depletion layer 38 spreads out vertically and horizontally within the active region 30. In this situation, the  $\delta$  doped layer, which includes impurities at a high concentration, functions just like an electrode that has been inserted into a drift region (here the active region 30). Consequently, the depletion layer spreads outward vertically (thickness direction) as shown by the arrow y in the drawing, and when the depletion layer 38 comes into contact with the  $\delta$  doped layer it is temporarily inhibited by the  $\delta$  doped layer from spreading further downwards, and therefore the horizontal expansion of the depletion layer, indicated by the arrow x in the drawing, becomes larger than the vertical expansion of the depletion layer. That is, the spacing between the equipotential planes 38a in the horizontal direction becomes wider than the spacing between the equipotential planes 38a in the vertical direction. The result is that the concentration of the electric field in the depletion layer 38 near the edge of the bottom face of the Schottky electrode 32 disappears almost completely. Moreover, the equipotential lines 38a in the depletion layer 38 are substantially parallel to the  $\delta$  doped layer, and therefore vertical electric fields in the depletion layer 38 do not concentrate locally but rather occur uniformly throughout a wide area. Thus, breakdowns become less likely. Therefore, the Schottky diode according to the present invention has a higher withstand voltage value

than the conventional Schottky diode shown in Fig. 22.

Fig. 24 is a cross-sectional view showing the expansion of the depletion layer during reverse bias application in a Schottky diode which has been made by providing a plurality of  $\delta$  doped layers in the active region. Here, in the active region 30 only two n-type doped layers ( $\delta$  doped layers) are provided, and an undoped layer accounts for all other areas in the active region. In this case, each time the depletion layer spreads vertically (in the thickness direction), as shown by the arrow y in the drawing, and comes into contact with the  $\delta$  doped layers, further downward spread of the depletion layer 38 is temporarily prevented by the  $\delta$  doped layers. Moreover, the equipotential lines 38a in the depletion layer 38 are more reliably formed parallel to the  $\delta$  doped layers than in the structure shown in Fig. 23. Therefore, the concentration of an electric field in the depletion layer 38 is more reliably suppressed, and breakdowns occur less likely. Consequently, with the structure shown in Fig. 24 in which a plurality of  $\delta$  doped layers are provided in the active region 30, it is possible to attain a higher withstand voltage value than with the structure shown in Fig. 23 in which only a single  $\delta$  doped layer is provided in the active region 30. That is, generally speaking, the greater the number of  $\delta$  doped layers in the active region 30 of the Schottky diode, the greater the withstand voltage value of the Schottky diode.

Note that in the present embodiment, the uppermost layer of the active region 30 was set to an undoped layer 22 of 50 nm thickness, however, the present invention is not limited to this particular embodiment. For example, 5 the uppermost layer of the active region can be set to an undoped layer that is approximately 50 to 200 nm thick, and the thickness of this uppermost layer can be suitably adjusted by giving priority to either withstand voltage properties or the amount of electric current.

10

#### Third Embodiment

The following is an explanation of a third embodiment of the present invention, which relates to a separate example of a Schottky diode having a structure that is 15 fundamentally different from that of the second embodiment. Fig. 8 is a cross-sectional view showing the schematic structure of a Schottky diode, which is a power semiconductor device, according to the third embodiment.

As shown in the Fig. 8, provided on top of the 20 principal face of the substrate 3, which is an n-type 6H-SiC substrate in which the principal face is the (0001) off face, is an active region 30 wherein undoped layers 22 (low-concentration doped layers) and n-type doped layers 23 (high-concentration doped layers), which are formed using a 25 method that is basically the same as that described in the first embodiment, have been layered in alternation at fifty layers each. The substrate 3 is approximately 100  $\mu$ m

thick, and the substrate 3 is substantially semi-insulating because it has not been doped with impurities. The thickness of the n-type doped layers 23 is approximately 2 nm, and the peak concentration of nitrogen in the n-type  
5 doped layers 23 is  $1 \times 10^{18}$  atoms  $\cdot$  cm $^{-3}$ . The thickness of the undoped layers 22 is approximately 50 nm, and the concentration of nitrogen in the undoped layers 22 is approximately  $5 \times 10^{15}$  atoms  $\cdot$  cm $^{-3}$ .

In the present embodiment, the Schottky electrode 35  
10 is provided not on but to the side of the active region 30. A trench is formed by hollowing out the active region 30 all the way to the substrate 3, and the Schottky electrode 35, which is made of a Ni alloy and which provides a Schottky contact with the active region 30, is arranged on  
15 the lateral face of this trench. That is, the Schottky electrode 35 is provided in Schottky contact with the first side faces of the undoped layers 22 and the n-type doped layers 23 in the active region 30. A doped layer 36 for connecting lead is formed such that it is in opposition to  
20 the Schottky electrode 35 and sandwiches the active region 30 therewith. That is to say, the doped layer 36 for connecting lead is formed by introducing a high concentration of impurities into a region of the active region 30 that is separated from the first faces of the  
25 undoped layers 22 and the n-type doped layers 23 by a certain spacing. The doped layer 36 for connecting lead is formed by implanting nitrogen ions into a portion of the

active region 30 and the substrate 3, so the concentration of nitrogen in the doped layer 36 for connecting lead is approximately  $1 \times 10^{18}$  atoms  $\cdot$  cm<sup>-3</sup>. Then, an ohmic electrode 37, which is made of a Ni alloy, is provided on the doped layer 36 for connecting lead and is in ohmic contact therewith. The interval between the Schottky electrode 35 and the doped layer 36 for connecting lead is approximately 10  $\mu$  m. That is, the ohmic electrode 37 is provided connecting to the second side faces of the undoped layers 22 and the n-type doped layers 23 of the active region 30 via the doped layer 36 for connecting lead.

It should be noted here that the n-type doped layers 23 in the active region 30 and the Schottky electrode 35 are substantially not in ohmic contact for reasons explained later.

Moreover, it is not absolutely necessary that the doped layer 36 for connecting lead is provided. For example, an ohmic electrode that is in direct ohmic contact with the active region can be provided by forming a trench in the active region 30, filling in that trench with electrode material (Ni, for example), and performing a process to bring the active region 30 and the electrode material into ohmic contact.

The structure of the Schottky diode shown in Fig. 8 is formed using the following procedure. First, the substrate 3, which is a semi-insulating SiC substrate, is placed in the crystal growth apparatus shown in Fig. 1, CVD

is performed as described in the first embodiment, and the undoped layers 22 of approximately 50 nm thickness and the n-type doped layers 23 of an approximately 2 nm thickness are grown epitaxially in alternation on the substrate 3 to form the active region 30. Next, nitrogen ions are injected into a portion of the active region 30 and the substrate 3 to form the doped layer 36 for connecting lead. Then, a portion of the active region 30 is removed by dry etching to form a trench. Then, the ohmic electrode 37, which is made of a Ni alloy, is formed on the doped layer 36 for connecting lead. Next, the Schottky electrode 35, which is made of a Ni alloy, is formed at the sidewall of the trench.

Figs. 9(a1) to (c3) are energy band graphs showing the change in shape of the conduction band edge due to a change in bias, for the Schottky diode according to the present embodiment and a conventional Schottky diode. Figs. 9(a1), (b1), and (c1) show the conduction band edge of the undoped layers 22 of the Schottky diode according to the present embodiment, Figs. 9(a2), (b2), and (c2) show the conduction band edge of the n-type doped layers 23 of the Schottky diode according to the present embodiment, and Figs. 9(a3), (b3), and (c3) show the conduction band edge of the SiC substrate of a conventional Schottky diode. In the conventional Schottky diode, however, a Schottky electrode spanning the  $n^-$  SiC layer and the  $n^+$  SiC layer shown in Fig. 11 cannot be provided and it would be



completely meaningless to do so, and therefore in the conventional Schottky diode, a uniformly doped layer that has been doped with nitrogen to a uniform concentration and the Schottky electrode have been put in contact, and the  
5 ohmic electrode has been put into ohmic contact with a certain area of the uniformly doped layer. Moreover, Figs. 9(a1) to (a3) show the shape of the conduction band edge when no voltage is applied between the Schottky electrode and the ohmic electrode (0 bias), Figs. 9(b1) to (b3) show  
10 the shape of the conduction band edge when a voltage is applied between the Schottky electrode and the ohmic electrode such that the Schottky electrode has a higher potential than the ohmic electrode (forward bias), and Figs. 9(c1) to (c3) show the shape of the conduction band edge  
15 when a voltage is applied between the Schottky electrode and the ohmic electrode such that the ohmic electrode has a higher potential than the Schottky electrode (reverse bias). The state of contact between the ohmic electrode 33 and the active region 30 does not substantially change with the  
20 change in bias, and therefore a diagrammatical description thereof has been omitted. Moreover, the present embodiment has been described with respect to a case wherein n-type semiconductor layers, in which electrons move as carriers, have been provided, and thus a diagrammatical description  
25 of the shape of the valence electron band edge has also been omitted.

As shown in Figs. 9(a1) through (a3), in their

natural states, both the Schottky diode of the present embodiment and the conventional Schottky diode have high Schottky barriers (approximately 1 to 2 eV) formed between the undoped layers or n-type doped layers of the active region and the Schottky electrode, and between the uniformly doped layer and the Schottky electrode, respectively.

As shown in Figs. 9(b1) and (b2), when a forward bias is applied to the Schottky diode of the present embodiment, the potential of the active region 30 becomes higher, that is, the energy level of the conduction band edge in the undoped layers 22 and the n-type doped layers 23 of the active region 30 increases. In this situation, a carrier distribution such as that shown in Fig. 5(a) occurs also in the undoped layers 22, and thus current passes through both the n-type doped regions 23 and the undoped regions 22 of the active region 30 and flows easily into the Schottky electrode 35. That is to say, not only the n-type doped layers 23 in the active region 30 but also the undoped layers 22 function as carrier transit regions. At this time, although the distribution of carriers in the undoped layers 22 is as shown in Fig. 5(a), the concentration of impurities in those layers is low, and thus the scattering of impurities in the undoped layers 22 is lowered. Consequently, the value of resistance of the entire active region 30 can be kept small, and it is possible to achieve low power consumption and a large current.

On the other hand, as shown in Fig. 9(b3), when a forward bias is applied to the conventional Schottky diode, current flows from the uniformly doped layer into the Schottky electrode.

5        As shown in Figs. 9(c1) and 9(c2), when a reverse bias is applied to the Schottky diode of the present embodiment, the entire energy level of the conduction band edge in the undoped layers 22 and the n-type doped layers 23 of the active region 30 becomes lower. As mentioned  
10        above, the value of the withstand voltage depends on the electric field that is applied to the depletion layer during reverse bias. Then, the lower the concentration of impurities, the smoother the slope of the conduction band edge becomes, so that naturally, the lower the  
15        concentration of impurities, the wider the depletion layer width becomes. A large withstand voltage value can therefore be obtained in the undoped layers 22, as illustrated in Fig. 9(c1). On the other hand, in a case in which the high-concentration doped layers and the Schottky  
20        electrode are simply in contact with one another, the conduction band edge of the high-concentration doped layers during a reverse bias becomes that shown by the broken line in Fig. 9(c2), and the width of the depletion layer of the high-concentration doped layers should become extremely  
25        narrow. In the present embodiment, however, the thickness of the n-type doped layers 23 is extremely thin at 2 nm, so as shown by the solid line in Fig. 9(c2), from the fact

that the depletion layer spreads out from the undoped layers 22 and expands to the n-type doped layers 23, the movement of electrons cannot occur.

Moreover, the distribution of carriers does not occur  
5 in the undoped layers 22 when the entire active region 30 has become depleted, and therefore to have current to flow from the Schottky electrode 35 to the doped layer 36 for connecting lead it must flow through only the n-type doped layers 23. However, because the thickness of the n-type  
10 doped layers 23 is extremely thin at 2 nm, the current encounters a significant resistance in the n-type doped layers 23, so that current does not actually flow. This means that there is substantially no ohmic contact between the n-type doped layers 23 and the Schottky electrode 35,  
15 and that Schottky contact is maintained therebetween. Additionally, by adjusting the thickness and impurity concentration, for example, of the undoped layers 22 and the n-type doped layers 23, the withstand voltage value can be regulated by the width of the depletion layer between  
20 the thick undoped layers 22 and the Schottky electrode 35. Consequently, a high withstand voltage value can be achieved.

On the other hand, as shown in Fig. 9(c3), in a conventional Schottky diode, the width of the depletion  
25 layer of the uniformly doped layer changes according to the impurity concentration of the uniformly doped layer, and therefore the resistance value and withstand voltage value

can be controlled by adjusting the impurity concentration of the uniformly doped layer. As explained in the second embodiment, however, there is a trade-off in that the width of the depletion layer becomes narrow and the withstand  
5 voltage value drops when the impurity concentration of the uniformly doped layer is increased to lower the resistance value, while on the other hand the resistance value increases when the impurity concentration of the uniformly doped layer is reduced. Therefore, with the conventional  
10 Schottky diode shown in Fig. 11 it is difficult to simultaneously achieve the low resistivity (low power consumption) and high withstand voltage properties that are desirable in a power device.

In contrast, in the Schottky device of the present  
15 embodiment, in a forward bias state, the carriers are distributed from the n-type doped layers 23 (high-concentration doped layers) into the undoped layers 22 (low-concentration doped layers), and furthermore the scattering of impurities in the undoped layers 22 is  
20 reduced, and thus carriers (electrons) can be easily move from the doped layer 36 for connecting lead to the Schottky electrode 35. On the other hand, in a reverse bias state, the carriers do not exist in the undoped layers 22, and thus it is difficult for electrons to flow from the  
25 Schottky electrode 35 to the doped layer 36 for connecting lead passing only through the extremely thin n-type doped layers 23. That is, in the present embodiment, in the same

way as in the second embodiment, attention was given to the fact that the distribution of carriers differs between the forward bias and reverse bias states, and it was possible to eliminate the trade-off between low resistivity and high withstand voltage that exists in conventional Schottky diodes.

#### Fourth Embodiment

Next follows the description of a fourth embodiment relating to a MESFET that uses the active region 30 described in the first embodiment. Fig. 10 is a cross-sectional view that shows the schematic structure of the MESFET, which is a power semiconductor device, according to the fourth embodiment.

As shown in Fig. 10, provided on top of the principal face of the substrate 3, which is an n-type 6H-SiC substrate in which the (0001) off face is the principal face, is an active region 30 which functions as a channel layer, in which undoped layers 22 (low-concentration doped layers) and n-type doped layers 23 (high-concentration doped layers), which are formed using the method described in the first embodiment, have been layered in alternation at five layers each. The thickness of the substrate 3 is approximately 100  $\mu\text{m}$ , and the substrate 3 is substantially semi-insulating because it has not been doped with impurities. The thickness of the n-type doped layers 23 is approximately 10 nm, and the peak concentration of nitrogen

in the n-type doped layers 23 is  $1 \times 10^{18}$  atoms  $\cdot$  cm $^{-3}$ . The thickness of the undoped layers 22 is approximately 50 nm, and the concentration of nitrogen in the undoped layers 22 is approximately  $5 \times 10^{15}$  atoms  $\cdot$  cm $^{-3}$ . In other words, the  
5 total thickness of the active region 30, which functions as the channel region of the MESFET, is approximately 300 nm.

In the present embodiment, further provided on the undoped layer 22 at the uppermost portion of the active region 30 is a gate electrode 38, which is a Schottky  
10 electrode made of a Ni alloy, which is in Schottky contact with that undoped layer 22, and a source electrode 39a and a drain electrode 39b, which are ohmic electrodes made of a Ni alloy and are in opposition to one another sandwiching the gate electrode 38 between them. The gate length of the  
15 gate electrode 38 is approximately 1  $\mu$ m.

The structure of the MESFET shown in Fig. 10 is formed by the following procedure. First, the substrate 3, which is a semi-insulating SiC substrate, is placed inside the crystal growth apparatus shown in Fig. 1, CVD is  
20 performed as described in the first embodiment, and the undoped layers 22 and the n-type doped layers 23 are layered in alternation at five layers each on the substrate 3 by epitaxial growth to form the active region 30. Next, the source electrode 39a and the drain electrode 39b, which  
25 are made of a Ni alloy, are formed on the substrate. In this situation, the source electrode 39a and the drain electrode 39b are in Schottky contact with the undoped

layer 22 at the uppermost portion of the active region 30, however, the nature of that contact is later changed to ohmic contact with the undoped layer 22 at the uppermost portion of the active region 30 by subjecting the source electrode 39a and the drain electrode 39b to thermal processing for three minutes at 1000.C. Then, the gate electrode 38, which is made of a Ni alloy, is formed on the substrate, after which the above-mentioned thermal processing is not performed, and therefore the gate electrode 38 and the undoped layer 22 at the uppermost portion of the active region 30 are kept in a state of Schottky contact.

Here, a MESFET was created as a comparative example by providing a uniformly doped layer in which nitrogen was doped to a uniform concentration ( $1 \times 10^{17}$  atoms  $\cdot$  cm<sup>-3</sup>) on a semi-insulating SiC substrate, and gate, source and drain electrodes, like those of the present embodiment, were provided on top of this uniformly doped layer to turn the uniformly doped layer into a channel layer.

In the present embodiment, when voltage is not applied to the gate electrode 38 but a positive voltage is applied to the drain electrode 39b, a potential difference similar to that with a reverse bias in the third embodiment is generated in the active region 30 between the region directly below the drain electrode 39b and the region directly below the gate electrode 38, but the width of the depletion layer is small. On the other hand, there is no



potential difference between the region directly below the source electrode 39a and the region directly below the gate electrode 38. This results in carriers (electrons) being generated in the undoped layers 22 in the active region 30 as shown in Fig. 9(b1), and in the n-type doped layers 23 in the active region 30 as shown in Fig. 9(b2), and in the same way as in the third embodiment, the electrons travel within the active region 30 from the region directly below the source electrode 39a toward the region directly below the drain electrode 39b. At that time the electrons flow through both the undoped layers 22 and the n-type doped layers 23, and thus due to the same effects as the third embodiment, it is possible to obtain high electron mobility and low resistance.

Next, when a negative voltage is applied to the gate electrode 38, a large potential difference occurs in the same way as with a reverse bias in the third embodiment within the active region 30 between the region directly below the gate electrode 38 and the region directly below the drain electrode 39b. On the other hand, the same potential difference as that with a reverse bias in the third embodiment occurs in the region directly below the source electrode 39a and the region directly below the gate electrode 38. In other words, a depletion layer greatly spreads out in the active region 30 in the region directly below the gate electrode 38. Thus, due to the same effects as seen in the above-mentioned third embodiment, it becomes

difficult for electrons to move only through the thin n-type doped layers 23, and therefore a high withstand voltage can be obtained between the source and drain.

5 The results of an evaluation of the performance of the MESFET according to the present embodiment, and a comparison of the performance of the MESFET of the present embodiment with those of a conventional MESFET, are explained below.

10 First, the MESFET of the present embodiment and a conventional MESFET were compared with regard to withstand voltage properties between the gate and the source. With the MESFET according to the present embodiment, in which the channel layer is the active region 30 formed by alternately layering undoped layers and n-type doped layers 15 to five layers each, the withstand voltage is 120 V, which is four times the withstand voltage value of a conventional MESFET.

20 Next, the gate voltage dependency ( $I - V$  characteristics) of the relationship between drain current and drain voltage was evaluated in the MESFET of the present embodiment. By applying a steady voltage between the source electrode 39a and the drain electrode 39b and applying a voltage to the gate electrode 38, the current between the source and drain is modulated in accordance 25 with the voltage that is applied to the gate electrode 38, and therefore a switching operation is attained. At this time, a stable drain current can be achieved without any

breakdown even if the drain voltage is 140 V or higher.

Fig. 12 is a diagram showing the results of a measurement of the gate voltage dependency (I - V characteristics) of the relationship between drain current and drain voltage in the MESFET of the present embodiment. In Fig. 12, the horizontal axis represents the drain voltage  $V_{ds}$  (V), and the vertical axis represents the drain current  $I_{ds}$  (A), with the gate voltage  $V_g$  as the parameter.

Furthermore, the mutual conductance near the threshold voltage was measured in the MESFET of the present embodiment and in the conventional MESFET. From those results it was found that transconductance of the above-described MESFET of the present embodiment, in which the active region 30 serves as the channel layer, is approximately two times as high as that of a conventional MESFET in which a uniformly doped layer is used as the channel layer. This results from the above-mentioned increase in electron mobility in the MESFET of the present embodiment.

From the above results, the MESFET according to the present embodiment can achieve the effects of low power consumption, high withstand voltage, and high gain.

#### Other Embodiments

In the above-mentioned first through fourth embodiments, an active region 30 was provided in which many undoped layers 22 (low-concentration doped layers) and n-

type doped layers 23 (high-concentration doped layers) were layered on top of each other, however, it is also possible to provide a structure in which only one layer each of a low-concentration doped layer and a high-concentration doped layer are provided in the active region.

In the above second through fourth embodiments, the n-type doped layers were formed as the high-concentration doped layers using nitrogen, but it is also possible to use a doping gas that includes other elements (for example, phosphorus (P) or arsenic (As)) as the dopant showing n-type conductivity in the low-concentration doped layers and/or the high-concentration doped layers.

Also, in the above second through fourth embodiments, n-type doped layers were formed as the high-concentration doped layers, but it goes without saying that that if a doping gas that includes atoms that generate p-type conductivity, for example boron (B), aluminum (Al), or gallium (Ga), is used to create the low-concentration doped layers and/or the high-concentration doped layers, then p-type doped layers having an extremely sharp concentration distribution in their transition regions will be formed.

Furthermore, in the above second through fourth embodiments, it is also possible to use, in place of a silicon carbide substrate (SiC substrate), a substrate made of a different material and to provide an active region thereon in which semiconductor layers (low-concentration doped layers and high-concentration doped layers) are grown

epitaxially. In particular, substrates made of GaAs or GaN, for example, have in their intrinsic state large band gaps that are so wide that they have been labeled so-called semi-insulating materials, and are therefore advantageous in that by forming the active region 30 of the second through fourth embodiments onto such a substrate it is possible to obtain a device that has a high withstand voltage.

Still further, in the first through fourth embodiments, the undoped layers 22 (low-concentration doped layers = first semiconductor layers) and the n-type doped layers 23 (high-concentration doped layers = second semiconductor layers) in the active region 30 were formed by the same material SiC, but it is not absolutely necessary that the first semiconductor layers and the second semiconductor layers of the present invention are made of a common material. By forming the two layers from a common material, however, the slope of the potential barrier between the two layers becomes smooth, and thus it becomes easy for the carriers to be distributed throughout the entire active region.

In the present invention, it is not only possible to use CVD but also other methods such as sputtering, vapor deposition or MBE to layer the low-concentration doped layers (includes undoped layers) and the high-concentration doped layers (thickness varies with the material, but with a SiC substrate is about 20 nm or less) which are thinner

than the low-concentration doped layers and are thin enough that the migration of carriers into the low-concentration doped layers due to quantum effects is possible. Moreover, the thickness of the low-concentration doped layers (includes undoped layers) can be as thick as about 100 nm, but should be thin enough that quantum effects occur.

At that time the value of the impurity concentration of the low-concentration doped layers and the high-concentration doped layers is not limited to the values disclosed in the above embodiments. That is to say, if the difference in impurity concentration between the high-concentration doped layers and the low-concentration doped layers is greater than a predetermined value (for example, about one order of magnitude), then the effects of the present invention can be achieved.

## **Experimental Examples**

### **First Experimental Example**

The following is a description of a first experimental example relating to the basic properties of an active region having  $\delta$  doped layers, which was performed to confirm the effects of the present invention. In this first experimental example, broadly speaking, two types of substrates having an active region were created. The first of these is sample A, which has an active region that was made by layering a plurality of n-type  $\delta$  doped layers (high-concentration doped layers) that are 10 nm thick and

have a nitrogen concentration of  $1 \times 10^{18}$  atoms  $\cdot$  cm<sup>-3</sup>, and a plurality of undoped layers (low-concentration doped layers) that are 50 nm thick. The other is sample B, which has an active region that was made by layering a plurality  
5 of  $\delta$  doped layers with a thickness of 20 nm, and a plurality of undoped layers with a thickness of 100 nm. Next, a Schottky electrode was provided on these active regions to form a Schottky diode having the structure shown in Fig. 6. Thus the ratio of the thickness of the  $\delta$  doped  
10 layers to the undoped layers both in sample A and sample B is 1:5, and therefore the average impurity concentration of samples A and B is the same. The data of the previously explained Fig. 4 are for the sample B, in which the thickness of the  $\delta$  doped layers is 20 nm. Note that in the  
15 following description, the active region (channel region) made by layering the plurality of  $\delta$  doped layers and the plurality of undoped layers is also referred to as the  $\delta$  doped channel layer.

Fig. 13 is a diagram showing the results of a  
20 measurement by the C - V method of the carrier concentration in the Schottky diode in order to precisely examine the profile of the  $\delta$  doped layers in a case in which the nitrogen concentration is at  $1 \times 10^{18}$  atoms  $\cdot$  cm<sup>-3</sup>. The measurement using the C -V method was performed by  
25 changing the bias between 0.5 V and -0.2 V and between -0.2 V and - 2 V in a Schottky diode having a circular Ni Schottky electrode with a diameter of 300  $\mu$ m, and applying

a superimposed high frequency signal of 1 MHz with a very small amplitude. Then, the profile of the impurity concentration that is shown in the drawing is that of the  $\delta$  doped layers removed from the active region in which 10 nm thick  $\delta$  doped layers and 50 nm thick undoped layers were layered. As shown in the drawing, the concentration profile in the depth direction is substantially vertically symmetrical, and shows that due to the epitaxial growth method in the embodiments of the present invention, doping memory effects (residual effects of the dopant) during epitaxial growth with CVD can be ignored. Moreover, the planar carrier concentration of the  $\delta$  doped layers according to the C - V method is  $1.5 \times 10^{12} \text{ cm}^{-2}$ , which matches comparatively well with the planar concentration of approximately  $2.5 \times 10^{12} \text{ cm}^{-2}$  that was obtained from the measurement of the Hall coefficient. Also, the full width at half maximum of this pulse-shaped profile is 12 nm, showing considerable sharpness.

Fig. 14 is a diagram showing the results of a measurement of the band edge photoluminescence spectrum of the  $\delta$  doped layers in the 6H-SiC substrate. This spectrum was obtained at a temperature below 8 K, and for the excitation source, a He - Cd laser of a 0.5 mW intensity was used. This diagram compares the spectrum obtained from an undoped layer of the active region in which 10 nm thick  $\delta$  doped layers and 50 nm thick undoped layers were layered, and the spectrum obtained from an undoped layer of a  $1 \mu\text{m}$



thickness. As shown in the graph, both spectrum patterns have luminescence peaks in the same wavelength regions and at the same intensities, and thus it can be seen that both have the same impurity concentration. In other words, hardly any rise in the impurity concentration due to the scattering of impurities from the  $\delta$  doped layers could be seen in the undoped layers of the layered structure made of  $\delta$  doped layers and undoped layers, and it can be seen that these layers were layered while maintaining substantially the desired impurity concentration profile. Particular note should be given to the fact that the impurity concentration of the undoped layers was regulated to a low value of about  $5 \times 10^{16}$  atoms  $\cdot$  cm $^{-3}$ . That is, in the data shown in Fig. 4 it was detected that the impurity concentration in the undoped layers was on the order of  $10^{17}$  atoms  $\cdot$  cm $^{-3}$ , however, that discrepancy was caused by the limits of the measurement sensitivity using SIMS. Then, by using a photoluminescence method, it was confirmed that the impurity concentration of the undoped layers in the active region of the present invention, which was obtained by alternately layering  $\delta$  doped layers and undoped layers, was of a low concentration of about  $5 \times 10^{16}$  atoms  $\cdot$  cm $^{-3}$ .

Fig. 15(a) shows the data illustrating the temperature dependency of the electron mobility in a 6H-SiC layer, and Fig. 15(b) shows the data illustrating the temperature dependency of the electron concentration in the same. In Figs. 15(a) and 15(b),  $\bigcirc$  marks represent the data

from the 6H-SiC layer (sample A), which is made by layering  $\delta$  doped layers (in which nitrogen is the dopant) of a thickness of 10 nm, and undoped layers of a thickness of 50 nm, ■ marks represent data from the low-concentration uniformly doped layers ( $1.8 \times 10^{16} \text{ cm}^{-3}$ ) of the 6H-SiC, and ▲ marks represent data from the high-concentration uniformly doped layers ( $1.3 \times 10^{18} \text{ cm}^{-3}$ ) of the 6H-SiC. As shown in Figs. 15(a) and 15(b), in the low-concentration uniformly doped layers ( $1.8 \times 10^{16} \text{ cm}^{-3}$ ) of the 6H-SiC, there is a low impurity concentration, and therefore the mobility of electrons in these layers is large because the scattering of carriers caused by impurities when the carriers are moving becomes smaller. On the other hand, in the high-concentration uniformly doped layers ( $1.3 \times 10^{18} \text{ cm}^{-3}$ ) of the 6H-SiC, the impurity concentration is high, and therefore the mobility of electrons in these layers is small because the scattering of carriers caused by impurities when the carriers are moving becomes larger. That is to say, there is a tradeoff between carrier concentration and carrier movement characteristics. In contrast, it can be seen that in the  $\delta$  doped layers in the active region of the sample A, the electron concentration is substantially as high as that of the high-concentration uniformly doped layers, and the mobility of electrons is high. This means that the active region of the present invention has a high electron concentration and at the same time can attain a high electron mobility, and thus it can be seen that this

structure is suitable as the region of diodes and transistors through which electrons move. When the carriers are holes, there is in principle no change from the case in which they are electrons, so it can be assumed  
5 that in p-type  $\delta$  doped layers the hole concentration can be maintained high while a high hole mobility can be achieved.

Fig. 16 shows the data illustrating the temperature dependency of electron mobility in sample A, which has an  
10 active region made by layering  $\delta$  doped layers with a thickness of 10 nm and undoped layers with a thickness of 50 nm, and sample B, which has an active region made by layering  $\delta$  doped layers with a thickness of 20 nm and undoped layers with a thickness of 100 nm. These data on  
15 electron mobility were obtained by measuring the samples within a temperature range of 77 to 300 K. As mentioned above, both sample A and sample B share the same ratio of thickness of  $\delta$  doped layers to undoped layers of 1:5, and despite the fact that both sample A and B were given the  
20 same average impurity concentration, it can be seen from the graph that the electron mobility in sample A is larger than the electron mobility in sample B. In particular, the graph shows that in low temperature regions, the electron mobility in sample B drops as the temperature becomes lower  
25 because of scattering due to ionized impurities, however, in sample A, a high electron mobility is maintained even as the temperature becomes lower.

Fig. 17(a) is a diagram showing the results of a simulation of the band structure of the conduction band edge in sample A, which has 10 nm thick  $\delta$  doped layers, and Fig. 17(b) is a diagram showing the results of a simulation of the carrier concentration distribution in the same. Fig. 18(a) is a diagram showing the results of a simulation of the band structure of the conduction band edge in sample B, which has 20 nm thick  $\delta$  doped layers, and Fig. 18(b) is a diagram showing the results of a simulation of the carrier concentration distribution in the same. As shown in Fig. 17(a) and 18(a), in a cross-section that is perpendicular to the  $\delta$  doped layers, the electrons are confined in a V-type Coulomb potential (quantum well) that is sandwiched by positively charged donor layers, and in these wells quantum states are formed. The effective mass of the electrons is 1.1, and the dielectric constant of the 6H-SiC layer is 9.66. The background carrier concentration of the 6H-SiC layer, which is used for the undoped layers, is  $5 \times 10^{15} \text{ cm}^{-3}$ , and the carrier concentration of the n-type  $\delta$  doped layers is  $1 \times 10^{18} \text{ cm}^{-3}$ .

As shown in Fig. 17(b), in the 10 nm thick  $\delta$  doped layers (sample A), the two-dimensional electrons are dispersed widely to the undoped layers sandwiched between two  $\delta$  doped layers, and the region in which the electron concentration was  $2 \times 10^{16} \text{ cm}^{-3}$  or more was at a range of 25 nm from the interface. That is, this carrier distribution matches the carrier distribution that is schematically

sketched in Fig. 5(a), and it can be seen that the carriers migrate from the  $\delta$  doped layers to the undoped layers.

On the other hand, as shown in Fig. 18(b), in the 20 nm thick  $\delta$  doped layers (sample B), the regions in which there is a high rate of carriers that are regulated by the wave function of the electrons, and the  $\delta$  doped layers which have ionization scattering centers, strongly overlap with one another, and thus the region in which the electron concentration was  $2 \times 10^{16} \text{ cm}^{-3}$  or more within a range of 11 nm from the interface. That is, it was found that there is a relatively small migration of carriers from the  $\delta$  doped layers to the undoped layers.

#### Second Experimental Example

The following is a description of a second experimental example in which an active region such as that disclosed in the first experimental example, which has  $\delta$  doped layers that exhibit high electron mobility, is used as the channel region of a MESFET.

Fig. 19 is a cross-sectional view that schematically shows the structure of the MESFET according to this experimental example. As shown in Fig. 19, the MESFET used in this experimental example includes a 6H-SiC substrate (principal face is the (0001) face); a primer undoped SiC layer with a thickness of approximately  $3 \mu\text{m}$  that was epitaxially grown on the 6H-SiC substrate; an active region made by alternately layering on the primer undoped layer

five layers each of epitaxially grown 10 nm thick  $\delta$  doped layers (with an impurity (nitrogen) concentration of approximately  $1 \times 10^{18}$  atoms  $\cdot$  cm $^{-3}$ ) and 50 nm thick undoped layers; a Ni gate electrode provided on the center portion  
5 of the active region; two n $^{+}$  SiC layers (source and drain regions) provided on both ends of the active region such that they sandwich the Ni gate electrode; and a Ni source electrode and a Ni drain electrode provided on the n $^{+}$  SiC layers. The uppermost portion of the active region is an  
10 undoped layer, and this uppermost undoped layer is in Schottky contact with the Ni gate electrode. On the other hand, the n $^{+}$  SiC layer and the Ni source and Ni drain electrodes are in ohmic contact. The gate length of the Ni gate electrode is approximately 2  $\mu$ m, the distance between  
15 the Ni source electrode and the Ni drain electrode is approximately 150  $\mu$ m, and the gate width is approximately 5  $\mu$ m.

Here, in the fabrication process of the MESFET, the state of ohmic contact between the n $^{+}$  SiC layer and the Ni  
20 source and Ni drain electrodes is formed by performing an anneal of 1000.C for five minutes after the Ni electrodes are formed. The value of resistance of the ohmic contact measured by TLM (transmission line method) is approximately  $1 \times 10^{-5}$   $\Omega$  cm $^2$ , for example. The structure of the recessed  
25 gate is made by patterning the n $^{+}$  SiC layer by plasma reactive ion etching (RIE) using CF $_4$  and O $_2$ . At that time, the flow rate of CF $_4$  is 15 sccm (.0.015 l/min), the flow

rate of  $O_2$  is 15 sccm (.0.015 l/min), and the pressure is 50 mTorr (.6.67 Pa). By making the etch rate as small as, for example, about 15 nm/min at a high frequency input of about 80 W, damage to the surface portion of the SiC layer  
5 due to the ion bombardment can be reduced.

Fig. 20 is a diagram showing the I - V characteristics of the MESFET that was produced in this experimental example. In Fig. 20, the horizontal axis expresses the voltage between drain and source, the  
10 vertical axis expresses the current between drain and source, and the gate-source voltage  $V_{gs}$  is the parameter. When the gate-source voltage  $V_{gs}$  is 0V and the drain-source voltage is 100 V, the extrinsic mutual conductance is 15 mS/mm ( $S=1/\Omega$ ) and the drain current density is 96 mA/mm.  
15 When the gate length of a FET having a  $\delta$  doped channel layer is 0.5  $\mu$  m, the extrinsic mutual conductance is ideally 60 mS/mm. That is, it can be seen that the channel mobility of the FET having a  $\delta$  doped channel according to this experimental example is larger than the channel  
20 mobility of an ordinary 6H-SiC-type MESFET. Moreover, because the power P of the MESFET is represented by the equation:

$$P = V_{dsmax} \cdot I_{dsmax} / 8$$

it can be seen that the MESFET of this experimental example  
25 is suitable for a power device.

From Fig. 20 it can be seen that when the gate-source voltage is -12 V, the breakdown voltage between drain and

source is at least 150 V or more. Although not shown in Fig. 20, the breakdown voltage between drain and source when the gate-source voltage is -12V was approximately 200V. That is, the so-called withstand voltage value of the MESFET according to this experimental example is about 150 to 200 V.

Fig. 21 is a graph showing the dependency of reverse gate current to reverse gate-source voltage in the MESFET of this experimental example. As shown in Fig. 21, the gate breakdown voltage, which is defined as the reverse voltage between the gate and source when the average reverse gate current is 1 mA/mm, is approximately 140 V. Moreover, the height of the Schottky barrier is 1.2 eV, and the  $n$  value is 1.1. The above results demonstrate that the MESFET having a  $\delta$  doped channel layer according to this experimental example has a high breakdown voltage and a high mutual conductance.

Combining the above experimental examples and other simulation data, it was found that the preferable thickness of the high-concentration doped layers ( $\delta$  doped layers) when a SiC layer is used is at least one monolayer (about 10 Angstroms) and less than 20 nm. Additionally, it is preferable that the thickness of the low-concentration doped layers (includes undoped layers) is at least approximately 10 nm but not more than approximately 100 nm. The thickness of these high-concentration doped layers and the low-concentration doped layers can be suitably selected



according to the type and purpose of the active element (diode or transistor, for example) for which they are used.

In a case in which the semiconductor layer is other than a SiC layer, such as a GaAs layer, AlGaAs layer, GaN layer, AlGaN layer, SiGe layer, or SiGeC layer, the appropriate thickness of the high-concentration doped layers ( $\delta$  doped layers) is determined according to that material. For example, if a GaAs layer is used,  $\delta$  doped layers of one monolayer can be provided. It can be said that ordinarily, as long as carrier supply capabilities are appropriately maintained, to increase the withstand voltage value at the same thickness, it is preferable that the thickness of the high density doped layers ( $\delta$  doped layers) is as thin as possible.

15

#### INDUSTRIAL APPLICABILITY

The semiconductor device according to the present invention can be used in devices, such as Schottky diodes, MESFETs, MOSFETs, IGBTs, and DMOS devices, that are mounted in electronic devices, and in particular, in devices and power devices handling high frequency signals.

CLAIMS:

1. A semiconductor device made by providing on a substrate an active region that functions as a portion of  
5 an active element,

wherein the active region is configured by layering:

at least one first semiconductor layer which is provided on the substrate, and which functions as a carrier transit region, and

10 at least one second semiconductor layer which includes a higher concentration of impurities for carriers than the first semiconductor layer, which has a thinner film thickness than the first semiconductor layer, and from which carriers can migrate to the first semiconductor layer  
15 due to quantum effects.

2. The semiconductor device according to claim 1, wherein the first and second semiconductor layers are each provided in plurality and are layered in alternation.

20

3. The semiconductor device according to claim 1 or 2, wherein the concentration of impurities for carriers in the first semiconductor layer is below  $1 \times 10^{17}$  atoms .  $\text{cm}^{-3}$ , and

25

wherein the concentration of impurities for carriers in the second semiconductor layer is at least  $10^{17}$  atoms .  $\text{cm}^{-3}$ .

4. The semiconductor device according to any of claims 1 to 3, wherein the substrate and the active region are made of one material selected from SiC, GaN, and GaAs.

5

5. The semiconductor device according to any of claims 1 to 4, wherein the first and second semiconductor layers in the active region are made of the same material.

10 6. The semiconductor device according to any of claims 1 to 3,

wherein the second semiconductor layer is a SiC layer,  
and

wherein the thickness of the second semiconductor  
15 layer is at least one monolayer and below 20 nm.

7. The semiconductor device according to any of claims 1 to 3,

wherein the first semiconductor layer is a SiC layer,  
20 and

wherein the thickness of the first semiconductor  
layer is at least about 10 nm and at most about 100 nm.

8. The semiconductor device according to any of claims 1  
25 to 7,

wherein the substrate is a semiconductor layer that  
includes a high concentration of impurities,

wherein the uppermost portion of the active region is made of the first semiconductor layer, and

wherein the semiconductor device further comprises a Schottky electrode providing a Schottky contact with a portion of the upper surface of the first semiconductor layer at the uppermost portion of the active region, and

an ohmic electrode providing an ohmic contact with a portion of the substrate.

9. The semiconductor device according to any of claims 1 to 7, further comprising:

a Schottky electrode providing a Schottky contact with a first lateral face of the first semiconductor layer and of the second semiconductor layer of the active region, and

an electrode that is connected to a second lateral face of the first semiconductor layer and of the second semiconductor layer of the active region, the second lateral face being arranged at a certain spacing from the first lateral face.

10. The semiconductor device according to claim 9, further comprising a doped layer for connecting lead, which is formed by introducing a high concentration of impurities into a region of the active region that is at a certain spacing from the first lateral face of the first semiconductor layer and the second semiconductor layer, and

wherein the electrode is in ohmic contact with the doped layer for connecting lead.

11. The semiconductor device according to any of claims 1 to 7, wherein the uppermost portion of the active region is made of the first semiconductor layer, and

wherein the semiconductor device further comprises:

a Schottky gate electrode, which is in Schottky contact with a portion of the upper surface of the first semiconductor layer at the uppermost portion of the active region, and

source and drain electrodes, which are provided on the active region and sandwich the Schottky gate electrode, and which are connected to the active region.

12. The semiconductor device according to claim 11, further comprising:

two third semiconductor layers, which are provided on the active region and sandwich the Schottky gate electrode, and which include a high concentration of impurities, and

wherein the source and drain electrodes are in ohmic contact with the third semiconductor layers.

# ABSTRACT

An active region 30 is formed on a substrate 3, which is made of SiC, GaN, or GaAs, for example, by alternately layering undoped layers 22 with a thickness of for example about 50 nm and n-type doped layers 23 with a thickness (for example, about 10 nm) that is thin enough that quantum effects can be achieved. Carriers spread out into the undoped layers 22 from sub-bands of the n-type doped layers 23 that occur due to quantum effects. In the undoped layers 22, which have a low concentration of impurities, the scattering of impurities is reduced, and therefore a high carrier mobility can be obtained there, and when the entire active region 30 has become depleted, a large withstand voltage value can be obtained due to the undoped layers 22 by taking advantage of the fact that there are no more carriers in the active region 30.

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年9月13日 (13.09.2001)

PCT

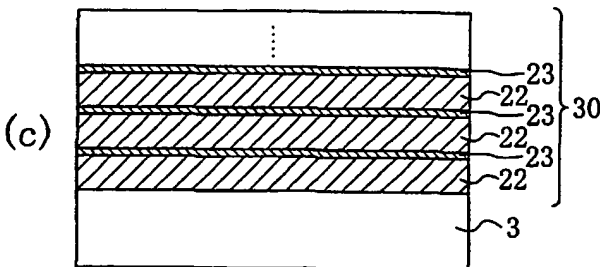
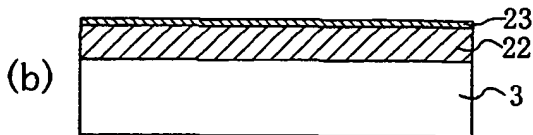
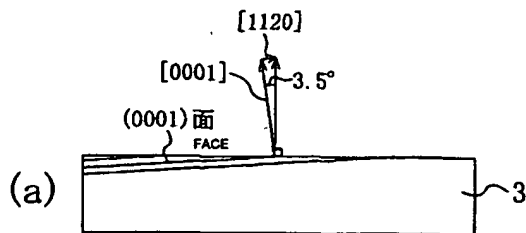
(10) 国際公開番号  
WO 01/67521 A1

- (51) 国際特許分類: H01L 29/872, 21/338, 29/812 (72) 発明者; および  
(21) 国際出願番号: PCT/JP00/08155 (75) 発明者/出願人(米国についてのみ): 横川俊哉 (YOKO-GAWA, Toshiya) [JP/JP]; 〒630-8101 奈良県奈良市青山5-2-24 Nara (JP). 高橋邦方 (TAKAHASHI, Kunimasa) [JP/JP]; 〒567-0845 大阪府茨木市平田1-6-29-5 Osaka (JP). 楠本 修 (KUSUMOTO, Osamu) [JP/JP]; 〒631-0003 奈良県奈良市中登美ヶ丘1-793-16-B2-201 Nara (JP). 北畠 真 (KITABATAKEI, Makoto) [JP/JP]; 〒631-0076 奈良県奈良市富雄北3-17-13-501 Nara (JP). 上野山雄 (UENOYAMA, Takashi) [JP/JP]; 〒610-0311 京都府京田辺市草内鐘鉦割42-1-1-601 Kyoto (JP).  
(22) 国際出願日: 2000年11月20日 (20.11.2000)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2000-58964 2000年3月3日 (03.03.2000) JP  
(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).  
(74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Thick undoped layers (22) with thicknesses of, for instance, about 50nm and thin n-type doped layers (23) thin enough (for instance about 10nm) to exhibit a quantum effect are alternated on a substrate (3) made of SiC, GaN, or GaAs to form an active region (30). Carriers are distributed from sub-bands produced by the quantum effect of the n-type doped layers (23) to the undoped layers (22). Since the impurity scattering is reduced in the undoped layers (22) which contain fewer impurities, a high carrier mobility can be achieved. By utilizing the fact that the carriers disappear from the active region (30) when the whole active region (30) is depleted, a high dielectric strength can be achieved by the undoped layers (22).

[続葉有]

WO 01/67521 A1



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

SiC, GaN, GaAsなどの基板3の上に、厚みが例えば50nm程度の厚いアンドープ層22と、厚みが量子効果を発揮する程度に薄い(例えば10nm程度)n型ドープ層23とを交互に積層し、活性領域30を形成する。n型ドープ層23の量子効果によって生じるサブバンドからキャリアをアンドープ層22にまで分布させる。不純物が少ないアンドープ層22においては不純物散乱が低減されるので、高いキャリア移動度を得られるとともに、活性領域30全体が空乏化したときには、活性領域30からキャリアがなくなることを利用して、アンドープ層22による大きな耐圧値を得ることができる。



## 明 細 書

### 半 導 体 装 置

### 技 術 分 野

本発明は、高耐圧性を有する半導体パワーデバイスに特に適した活性領域の構造に関する。

### 背景技術

近年、高周波特性、発光特性、耐圧特性などの特殊な機能をもった半導体デバイスを実現するための新しい半導体材料（いわゆる半絶縁性材料を含む）の開発が活発に行なわれている。半導体材料の中でも、例えば炭化珪素（SiC）、窒化ガリウム（GaN）、砒化ガリウム（GaAs）などのイントリンシック状態でいわゆる半絶縁性を有するものは、代表的な半導体材料である珪素（Si）に比べて高硬度で薬品にも犯されにくく、バンドギャップが大きい半導体であることから、大きな耐圧性を利用した次世代のパワーデバイスや高周波デバイス、高温動作デバイス等へ応用されることが期待される材料である。

これらのバンドギャップの広い半導体材料を利用した半導体パワーデバイスとしては、例えば、高耐圧ショットキーダイオード、MESFET（Metal Semiconductor-electrode junction Transistor-電界効果型トランジスタ）、MISFET（Metal Insulator Semiconductor-electrode junction Transistor-電界効果型トランジスタ）などがある。

ここで、半導体パワーデバイスの従来例としてショットキーダイオードとMISFETとを例にあげる。

図11は、従来の炭化珪素（SiC）を用いたショットキーダイオードの概略的な構造を示す断面図である。同図において、101はn型キャリアである高濃度の窒素（N）がドーブされた厚さ約100 $\mu$ mのn+ SiC基板、102はn型キャリアである低濃度の窒素（N）がドーブされた厚さ約10 $\mu$ mのn- SiC層、103はNi合金からなるショットキー電極、104はNi合金からなるオーミック電極、105はSiO<sub>2</sub>からなるガードリングをそれぞれ示す。この

ダイオードにおいて、ショットキー電極 103 とオーミック電極 104 との間にショットキー電極 103 の方が高くなるように電圧を印加する（順方向電圧）と、ショットキー電極 103 とオーミック電極 104 との間に電流が流れ、ショットキー電極 103 とオーミック電極 104 との間にオーミック電極 104 の方が高くなるように電圧を印加する（逆方向電圧）と、ショットキー電極 103 とオーミック電極 104 との間に電流が流れない。つまり、このショットキーダイオードは、順方向電圧に応じて電流を流すが、逆方向電圧に対しては電流を遮断するという整流特性を有する。

### 解決課題

しかしながら、上記従来のショットキーダイオードにおいては、以下のような不具合があった。

上記従来のショットキーダイオードにおける逆方向電圧に対する絶縁耐圧性は、 $n$ -SiC 層 102 のドーピング濃度に強く依存している。例えばショットキーダイオードの絶縁耐圧を向上するためには、ショットキー電極 103 と接触する  $n$ -SiC 層 102 のドーピング濃度を低く抑える必要がある。しかし、ドーピング濃度を下げると  $n$ -SiC 層 102 の抵抗率が上昇するため、順方向電圧を印加した時のオン抵抗が高くなる。その結果として消費電力の上昇が生じる。このトレードオフのために、高耐圧化と低抵抗化とを同時に実現するのは困難であった。

上述のような不具合は、ショットキーダイオードだけでなく、MESFET や MISFET においても生じることがわかっている。

### 発明の開示

本発明の目的は、上記従来のパワーデバイスが有するようなトレードオフを解決するための新たな構造を創生することにより、高耐圧でしかもオン抵抗の低い能動素子を実現することにある。

本発明の半導体装置は、基板上に能動素子の一部として機能する活性領域を設けてなる半導体装置において、上記活性領域は、上記基板の上に設けられ、キャ

リア走行領域として機能する少なくとも1つの第1の半導体層と、上記第1の半導体層よりも高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果による上記第1の半導体層へのキャリアの浸みだしが可能な少なくとも1つの第2の半導体層とを積層して構成されている。

この構造により、量子効果によって第2の半導体層に量子準位が生じ、第2の半導体層中の局在するキャリアの波動関数はある程度の広がりを持つようになる。その結果、キャリアが第2の半導体層だけでなく第1の半導体層にも存在するような分布状態となる。そして、活性領域のポテンシャルが高められ、キャリアが走行する状態においては、第2の半導体層及び第1の半導体層に絶えずキャリアが供給されるので、常に、キャリアが第2の半導体層だけでなく第1の半導体層にも存在するような分布状態となっている。この状態で、キャリアが第2の半導体層だけでなく第1の半導体層内をも走行することから、活性領域の抵抗値が低減される。特に、第1の半導体層においては、不純物イオン散乱は少なくなるために特に高いキャリアの移動度が得られる。

一方、活性領域全体が空乏化された状態においては、活性領域にはキャリアが存在しなくなるので、不純物濃度の低い第1の半導体層によって耐圧性が規定され、活性領域全体において高い耐圧値が得られることになる。すなわち、半導体装置中のダイオードやトランジスタ等の能動素子の低抵抗化と高耐圧化とを同時に実現することが可能になる。

上記第1及び第2の半導体層を、各々複数個設け、かつ交互に積層することにより、より確実に低抵抗値と高耐圧性とを発揮することができる。

上記第1の半導体層におけるキャリア用不純物濃度は、 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 未満であり、上記第2の半導体層におけるキャリア用不純物濃度は、 $10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 以上であることが好ましい。

上記基板及び活性領域を、SiC、GaN及びGaAsのうちから選ばれるいずれか1つの材料により構成することにより、バンドギャップの広い材料を利用したパワーデバイスに適した構造を有する半導体装置が得られる。

上記活性領域中の第1及び第2の半導体層を互いに共通の材料により構成することにより、第1の半導体層と第2の半導体層との間のポテンシャル障壁がより

なめらかな傾斜を持つようになるので、キャリアを活性領域の第1及び第2の半導体層に亘って分布させることが容易となる。

上記第2の半導体層がSiC層である場合には、上記第2の半導体層の厚みは、1モノレイヤー以上で20nm未満であることが、動作状態に第1の半導体層へのキャリアの浸みだし作用が有効に得られる点で好ましい。

上記第1の半導体層がSiC層である場合には、上記第1の半導体層の厚みは、約10nm以上で約100nm以下であることが、動作状態における電流量を確保するために好ましい。

上記基板は高濃度の不純物を含む半導体層であり、上記活性領域の最上部は上記第1の半導体層により構成されていて、上記活性領域の最上部の第1の半導体層の上面の一部にショットキー接触するショットキー電極と、上記基板の一部にオーミック接触するオーミック電極とをさらに備えることにより、上述のような活性領域の特性を利用して、動作状態における低抵抗性と、逆バイアスに対する高耐圧値とを同時に実現しうる縦型のショットキーダイオードが得られる。

上記活性領域の第1の半導体層及び第2の半導体層の各第1の側面にショットキー接触するショットキー電極と、上記活性領域の第1の半導体層及び第2の半導体層の上記各第1の側面とはある間隔を隔てた各第2の側面に接続される電極とをさらに備えることにより、上述のような活性領域の特性を利用して、動作状態における低抵抗性と、逆バイアスに対する高耐圧値とを同時に実現しうる横型のショットキーダイオードが得られる。

その場合、上記活性領域の第1の半導体層及び第2の半導体層の上記各第1の側面とはある間隔を隔てた領域に高濃度の不純物を導入して形成された引き出し用ドープ層をさらに備え、上記電極を上記引き出し用ドープ層にオーミック接触させる構造を採用することもできる。

上記活性領域の最上部は上記第1の半導体層により構成されていて、上記活性領域の最上部の第1の半導体層の上面の一部にショットキー接触するショットキーゲート電極と、上記活性領域の上に、上記ショットキーゲート電極を挟んで設けられ、上記活性領域に接続されるソース・ドレイン電極とをさらに備えることにより、上述のような活性領域の特性を利用して、低消費電力、高耐圧、高利得

を実現しうるMESFETが得られる。

その場合、上記活性領域の上に、上記ショットキーゲート電極を挟んで設けられ、高濃度の不純物を含む2つの第3の半導体層をさらに備え、上記ソース・ドレイン電極が上記第3の半導体層にオーミック接触する構造により、リセスゲート構造を有するMESFETが得られる。

### 図面の簡単な説明

図1は、本発明の各実施形態において用いられる薄膜形成用の結晶成長装置の構造を概略的に示す図である。

図2は、パルス幅を変化させたときのn型ドーブ層のピークキャリア濃度と、キャリア移動度との変化を示す図である。

図3(a)～(c)は、本発明の第1の実施形態の半導体膜の成長方法を示す断面図である。

図4は、第1の実施形態において形成された活性領域の深さ方向のドーパント濃度分布を示す図である。

図5(a), (b)は、第1の実施形態における活性領域の深さ方向における窒素の濃度プロファイルとキャリア分布との関係を模式的に示す図、及び活性領域の深さ方向に沿った伝導帯端の形状を示す部分バンド図である。

図6は、本発明の第2の実施形態に係るショットキーダイオードの概略的な構造を示す断面図である。

図7(a1)～(c2)は、第2の実施形態のショットキーダイオードと従来のショットキーダイオードについて、バイアスの変化による伝導帯端の形状の変化を示すエネルギーバンド図である。

図8は、本発明の第3の実施形態に係るショットキーダイオードの概略的な構造を示す断面図である。

図9(a1)～(c3)は、本発明の第3の実施形態のショットキーダイオードと従来のショットキーダイオードについて、バイアスの変化による伝導帯端の形状の変化を示すエネルギーバンド図である。

図10は、本発明の第4の実施形態に係るMESFETの概略的な構造を示す

断面図である。

図 1 1 は、従来の炭化珪素 (S i C) を用いたショットキーダイオードの概略的な構造を示す断面図である。

図 1 2 は、第 4 の実施形態の M E S F E T の I - V 特性の測定結果を示す図である。

図 1 3 は、第 1 の実験例におけるショットキーダイオードについての C - V 法による不純物濃度測定を行なった結果を示す図である。

図 1 4 は、第 1 の実験例に係る 6 H - S i C 基板中の  $\delta$  ドープ層のバンド端フォトルミネッセンススペクトルの測定結果を示す図である。

図 1 5 ( a ) , ( b ) は、それぞれ順に、第 1 の実験例における 6 H - S i C 層の電子移動度の温度依存性と電子濃度の温度依存性とを示すデータである。

図 1 6 は、第 1 の実験例におけるサンプル A , B における電子移動度の温度依存性を示すデータである。

図 1 7 ( a ) , ( b ) は、第 1 の実験例におけるサンプル A における伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。

図 1 8 ( a ) , ( b ) は、第 1 の実験例におけるサンプル B における伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。

図 1 9 は、第 2 の実験例における M E S F E T の構造を模式的に示す断面図である。

図 2 0 は、第 2 の実験例で作成した M E S F E T の I - V 特性を示す図である。

図 2 1 は、第 2 の実験例の M E S F E T の逆方向ゲート電流の逆方向ゲートソース間電圧依存性を示すデータである。

図 2 2 は、図 1 1 に示す従来の S i C 基板を用いたショットキーダイオードにおける逆バイアス印加時の空乏層の拡大状態を示す断面図である。

図 2 3 は、単一の  $\delta$  ドープ層を活性領域に設けてなるショットキーダイオードにおける逆バイアス印加時の空乏層の拡大状態を示す断面図である。

図 2 4 は、複数の  $\delta$  ドープ層を結成領域に設けてなるショットキーダイオードにおける逆バイアス印加時の空乏層の拡大状態を示す断面図である。

### 最良の実施形態

図 1 は、本発明の各実施形態において用いられる薄膜形成用の結晶成長装置の構造を概略的に示す図である。

同図に示すように、この縦型結晶成長装置は、チャンバー 1 の中に、基板 3 を載置するためのカーボン製サセプタ 4 と、サセプタ 4 を支持するための支持軸 5 と、チャンバー 1 の石英管 2 と、石英管 2 の外側に巻き付けられ、サセプタ 4 を高周波電流により誘導加熱するためのコイル 6 とを備えている。石英管 2 は、二重石英管などからなり冷却水を流せるように構成されている。また、チャンバー 1 に供給する各種ガスのポンプ等を配置したガス供給システム 8 と、チャンバー 1 から各種ガスを排出するための真空ポンプ等を配置したガス排出システム 15 とが設けられている。ガス供給システム 8 とチャンバー 1 とは、原料ガスを供給するための原料ガス供給管 7 と、水素等の希釈ガスを供給するための希釈ガス供給管 9 と、不活性ガスやドーピングガスなどの添加ガスを供給するための添加ガス供給管 12 とによって接続されており、原料ガス供給管 7 と希釈ガス供給管 9 とは、途中で合流してチャンバー 1 に接続されている。そして、原料ガス供給管 7 及び希釈ガス供給管 9 の合流前の部位には、それぞれガス流量を調整するための流量計 10, 11 が介設されている。また、ガス排出システム 15 とチャンバー 1 とは排気管 14 によって接続され、排気管 14 には、排出されるガスの流量によってチャンバー 1 内の圧力を調節するための圧力調整バルブ 16 が介設されている。

ここで、この結晶成長装置の特徴は、添加ガス供給管 12 にバルスバルブ 20 が介設されていることと、チャンバー 1 内には添加ガス供給管 12 の先端から直径が約 2 cm のガス導入管 13 が延び、このガス導入管 13 の先端が基板 3 の上面よりも約 5 cm 上方に位置する部位で開口していることである。

サセプタ 4 には、高温に加熱された時に脱ガスが起こらないように厚みが約 100  $\mu\text{m}$  の SiC 膜がコーティングされている。ただし、この SiC 膜の厚みは

脱ガスの発生を防止できる厚みよりも厚ければいくらかでもよい。

ガス供給システム 8 から原料ガス供給管 7 を通って供給される原料ガスと、希釈ガス供給管 9 を通って供給される希釈ガスとは合流した後、チャンバー 1 の上部からチャンバー 1 内に導入される。そのとき、原料ガス及び希釈ガスの流量は、各流量計 10, 11 によって調整される。

一方、添加ガス供給管 12 を経て供給されるドーピングガスや不活性ガスなどの添加ガスは、バルスバルブ 20 の周期的な開閉に応じてバルス状に基板 3 の表面に供給される。このバルスバルブ 20 が開いている期間（バルス幅）及び閉じている期間（バルスとバルスの間隔）は任意に設定することができ、例えばバルスバルブ 20 が開いている期間が  $100\ \mu\text{s}$  ( $\mu\text{s e c}$ )、閉じている期間が  $4\ \text{ms}$  ( $\text{m s e c}$ ) の場合には、1 秒間におよそ 240 回の開閉が繰り返されることになる。ガス導入管 13 の先端と基板 3 との距離は接近している方が好ましいが、接近しすぎると狭い範囲にしかガスをバルス状で供給する効果が発揮できないので  $5\ \text{cm}$  程度の間隔をもっていることが好ましい。

そして、原料ガス、希釈ガス及び添加ガスは、排気管 14 を通ってガス排気システム 15 により外部に排気される。

また、図 2 は、バルスバルブの開く期間であるオン期間（バルス幅）を変化させたときの n 型ドーブ層のピークキャリア濃度 ( $\text{cm}^{-3}$ ) と、キャリア移動度 ( $\text{cm}^2/\text{Vs}$ ) との変化を示す図である。このとき、ガス供給システム 8 内におけるガスボンベの減圧器の二次側圧力は  $78400\ \text{Pa}$  ( $0.8\ \text{kgf}/\text{cm}^2$ ) で一定とした。そして、バルスバルブ 20 が開いているオン期間を変化させ、バルスバルブ 20 が閉じているオフ期間（バルスとバルスとの間隔）を一定の  $4\ \text{ms}$  としている。

同図に示すように、n 型ドーブ層のピークキャリア濃度はバルスバルブ 20 が開いているオン期間を変化させることにより制御可能であることが分かる。また、この結果から、オフ期間を変化させても、ピークキャリア濃度を調整しうるということがわかる。特に、オフ期間（バルスとバルスとの間隔）を一定とした場合、バルスバルブのオン期間（バルス幅）を  $95\ \mu\text{s}$  と  $110\ \mu\text{s}$  との間で変化させるだけで、ピークキャリア濃度を  $5 \times 10^{16}\ \text{cm}^{-3}$  から約  $1 \times 10^{19}\ \text{cm}^{-3}$  まで大



きく変化させることができる。

#### －第1の実施形態－

第1の実施形態として、図1に示す結晶成長装置を用い、図1中の基板3として(0001)面(C面)にオフ角度が設けられた主面を有する六方晶系の単結晶炭化珪素基板(6H-SiC基板)を用い、この基板3の上に六方晶炭化珪素(SiC)からなるn型ドープ層をホモエピタキシャル成長させる方法について説明する。図3(a)～(c)は、本実施形態の半導体膜の成長方法を示す断面図である。

図3(a)に示すように、基板3(6H-SiC基板)の主面は、(0001)面(C面)から[11-20]方向に3.5°傾いた面((0001)オフ面)であり、かつ、表面にSi原子が並ぶn型Si面である。基板3の直径は25mmである。まず、流量5(l/min)の酸素によってバブリングされた水蒸気雰囲気中で、基板3を1100℃で3時間ほど熱酸化し、表面に厚みが約40nmの熱酸化膜を形成した後、バッファード弗酸(弗酸：フッ化アンモニウム水溶液=1:7)により、その熱酸化膜を除去する。サセプタ4に表面の熱酸化膜が除去された基板3を設置し、チャンバー1を $10^{-6}$ Pa程度( $\approx 10^{-6}$ Torr)の真空度になるまで減圧する。

次に、図3(b)に示す工程で、ガス供給システム8から、希釈ガスとして流量2(l/min)の水素ガスと流量1(l/min)のアルゴンガスとを供給し、チャンバー1内の圧力を0.0933MPa(700Torr)とする。チャンバー1内の圧力は圧力調整バルブ16の開度により制御されている。この流量を維持しながら、誘導加熱装置を用いて、コイル6に、20.0kHz、20kWの高周波電力を印加して、サセプタ4を加熱する。基板3の温度は、一定温度である約1600℃に制御した。水素ガス及びアルゴンガスの流量は上述の一定値に保持しながら、原料ガスとして流量が2(ml/min)のプロパンガス( $C_3H_8$ )と、流量が3(ml/min)のシランガス( $SiH_4$ )とをチャンバー1内に導入する。原料ガスは流量50(ml/min)の水素ガスで希釈されている。そして、プロパンガスとシランガスを誘導加熱されたサセプタ4上の基板3(6H-SiC基板)に供給することにより、基板3の(0001)オフ面

である主面の上に、アンドープの6H-SiC単結晶からなる厚さ約50nmのアンドープ層22（低濃度ドーブ層）をエピタキシャル成長させる。このとき、窒素ガスなどを使用しなくても、残留ガスなどによって窒素などのキャリア用不純物がある程度導入されることがあるので、本実施形態及び後述する各実施形態においては、製造工程上意識的に窒素を導入して形成されたものではないという意味で、「アンドープ層」という文言を用いることとする。

引き続いて、チャンバー1内で、原料ガス及び希釈ガスを供給しながら、n型ドーピングガスである窒素をパルス状に供給することにより、アンドープ層22の上に厚さ約10nmのn型ドーブ層23（高濃度ドーブ層）を形成する。このとき、原料ガス及び希釈ガスを供給しながら、パルスバルブ20を繰り返し開閉することによって、ドーピングガスを、導入管13からチャンバー1内の基板3の直上にパルス状に供給することができる。本実施形態においては、パルスバルブ20が開いている期間（パルス幅）を102 $\mu$ s、パルスバルブ20が閉まっている期間（パルスとパルスの間隔）を4msとしている。そして、パルスバルブ20の開閉を繰り返してドーピングガスを供給しながらn型ドーブ層23を形成する。このとき、厚み10nmのn型ドーブ層23をエピタキシャル成長させるのに要する時間は約30secである。

次に、図3（c）に示す工程で、パルスバルブ20を閉じた状態にして窒素（N）を供給しないで原料ガスの供給のみによるアンドープ層22の形成と、原料ガスを供給しながら同時にパルスバルブ20を開閉して窒素（N）を導入することによるn型ドーブ層23の形成とをさらに繰り返すことにより、アンドープ層22とn型ドーブ層23とを交互に積層してなる活性領域30を形成する。

すなわち、活性領域30は、第1の半導体層であるアンドープ層22と、アンドープ層よりも厚みが小さく、アンドープ層22（第1の半導体層）よりも高濃度のキャリア用不純物を含み量子効果によるアンドープ層22へのキャリアの浸みだしが可能な程度に薄い第2の半導体層であるn型ドーブ層23とを交互に積層して構成されている。

図4は、本実施形態において形成された活性領域30の深さ方向のドーパント濃度分布を示す図であって、上述のように、n型ドーブ層23を形成する際のバ

ルスバルブ20が開いている期間（パルス幅）を $102\mu\text{s}$ 、閉じている期間（パルスとパルスとの間隔）を $4\text{ms}$ としている。同図の濃度プロファイルは、二次イオン質量分析装置（SIMS）を用いて測定した結果得られたものである。同図において、横軸は基板の最上面からの深さ（ $\mu\text{m}$ ）を表し、縦軸はドーパントである窒素の濃度（ $\text{atoms} \cdot \text{cm}^{-3}$ ）を表している。同図に示すように、本実施形態の方法で形成された各n型ドーパ層23における窒素（N）の濃度はほぼ均一であり（約 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ ）、しかもアンドープ層22からn型ドーパ層23に移移する領域、n型ドーパ層23からアンドープ層22に移移する領域のいずれにおいても、極めて急峻な不純物濃度の変化を示している。なお、図4のデータは、ルスバルブ20が開いている期間（パルス幅）を $102\mu\text{s}$ として、キャリアガスとして窒素ガスを流しながら形成したドーパ層について得られたデータであるために、図4に示される窒素のピーク濃度は $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ 程度であるが、図2に示すように、ルスバルブ20が開いている期間（パルス幅）を $110\mu\text{s}$ 程度の時間にすることにより、窒素のピーク濃度を $1 \times 10^{19} \text{atoms} \cdot \text{cm}^{-3}$ 程度に高めることが可能である。また、キャリアガスとしての窒素ガスを流せば、アンドープ層の窒素濃度を $1 \times 10^{16} \text{atoms} \cdot \text{cm}^{-3}$ 程度に制御することも容易である。キャリアガスを流してアンドープ層にもある程度の流量の窒素を供給することにより、アンドープ層の窒素濃度を安定して一定濃度に制御できる利点もある。

図5（a）、（b）は、本実施形態における基本構造を有する活性領域30の深さ方向におけるn型不純物である窒素の濃度プロファイルとキャリア分布との関係を模式的に示す図、及び活性領域30の深さ方向に沿った伝導帯端の形状を示す部分バンド図である。ただし、図5（a）、（b）は、キャリアガスとして窒素を使用せずにアンドープ層22（低濃度ドーパ層）における窒素の濃度を $5 \times 10^{16} \text{atoms} \cdot \text{cm}^{-3}$ とし、ルスバルブのパルス幅を $102\mu\text{s}$ 程度に制御してn型ドーパ層23（高濃度ドーパ層）の窒素の濃度を $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ とした場合について作成したモデルである。

図4に示すデータから、n型ドーパ層23の不純物濃度プロファイルを、図5（a）に示すようなアンドープ層22の下地に対してほぼ $\delta$ 関数的な形状である

とする。つまり、 $n$ 型ドーブ層 2 3 をいわゆる  $\delta$  ドーブ層としている。この場合、 $n$  ドーブ層 2 3 の厚みが 10 nm 程度と薄いことから、 $n$  型ドーブ層 2 3 において量子効果に起因した量子準位が生じ、 $n$  型ドーブ層 2 3 中に局在する電子の波動関数はある程度の広がりを持つようになる。その結果、図中破線で表されるように、キャリアが  $n$  型ドーブ層 2 3 だけでなくアンドーブ層 2 2 にも存在するような分布状態となる。そして、この活性領域 3 0 のポテンシャルが高められ、キャリアが走行する状態においては、 $n$  型ドーブ層 2 3 及びアンドーブ層 2 2 に絶えず電子が供給されるので、常に、電子が  $n$  型ドーブ層 2 3 だけでなくアンドーブ層 2 2 にも存在するような分布状態となっている。この状態で、電子が  $n$  型ドーブ層 2 3 だけでなくアンドーブ層 2 2 をも走行することから、活性領域 3 0 の抵抗値が低減される。そのとき、アンドーブ層 2 2 における不純物イオン散乱は少なくなるために、アンドーブ層 2 2 においては特に高い電子移動度が得られる。

一方、活性領域 3 0 全体が空乏化された状態においては、アンドーブ層 2 2 及び  $n$  型ドーブ層 2 3 にはキャリアが存在しなくなるので、不純物濃度の低いアンドーブ層 2 2 によって耐圧性が規定され、活性領域 3 0 全体において高い耐圧値が得られることになる。

なお、上述の作用は、キャリアとして電子ではなくホールを用いる場合にも同様に得られる作用である。

また、図 5 (b) に示すように、活性領域 3 0 全体の伝導帯端は、図中破線で示す  $n$  型ドーブ層 2 3 の伝導帯端とアンドーブ層 2 2 の伝導帯端とを接続した形状になる。なお、 $n$  型ドーブ層 2 3 の不純物濃度は、その伝導帯端がフェルミレベル  $E_f$  よりも下方になる程度に濃くするのが一般的であるが、 $n$  型ドーブ層 2 3 の不純物濃度は必ずしもそれほど濃くなくてもよい。

そして、このような構造を有する活性領域 3 0 を利用することにより、後述の各実施形態に示すように、高性能のデバイスを得ることができる。ここで、活性領域 3 0 において、アンドーブ層 2 2 と  $n$  型ドーブ層 2 3 とがキャリア走行領域として機能することについては、以下の各実施形態において説明する。

なお、本実施形態においては窒素を用いて  $n$  型のドーブ層を形成したが、 $n$  型

の伝導性を示すドーパントとして他の元素（例えばリン（P），砒素（As）など）を含むドーピングガスを用いても差し支えない。

また、本実施形態においてはn型ドーブ層を形成したが、p型の伝導性を生じるボロン（B），アルミニウム（Al），ガリウム（Ga）等の原子を含むドーピングガスを用いれば、各遷移領域で極めて急峻な濃度分布をもつp型のドーブ層が形成されることはいうまでもない。

また、本実施形態においてはアンドープ層の上にn型ドーブ層（高濃度ドーブ層）を形成したが、アンドープ層の代わりに、バルスバルブを開いて形成した低濃度のn型ドーブ層を用いてもよい。

また、本実施形態においては、炭化珪素基板（SiC基板）の上にエピタキシャル成長法によってアンドープ層（低濃度ドーブ層）とn型ドーブ層（高濃度ドーブ層）とを積層した活性領域を設けた構造について述べたが、本発明の活性領域の構造をSiC以外の材料からなる基板上に設けてもよい。特に、GaAs，GaNなどの基板は、いわゆる半絶縁性材料と呼ばれるほどバンドギャップが広いことから、本発明を適用することによって高耐圧のデバイスを形成しうる利点がある。

また、本実施形態においては、基材上の薄膜成長方法として誘導加熱を用いたCVD方法について述べたが、ガスを用いて基材上に薄膜を成長させるのであればプラズマCVD法，光照射CVD法，電子照射CVD法のいずれかの作用によって上記基材上に薄膜を成長する場合にも本発明の薄膜成長方法が有効であることはいうまでもない。

さらに、本発明は、CVD法だけでなくスパッタリング法，蒸着法，MBE法などの他の方法を用いて、低濃度ドーブ層（アンドープ層を含む）と、それよりも厚みが小さく、量子効果による低濃度ドーブ層へのキャリアの浸みだしが可能な程度に厚みの薄い高濃度ドーブ層とを積層したものにも適用することができる。

次に、本実施形態の方法で形成された活性領域30を応用した各種デバイスに関する実施形態について説明する。

## －第2の実施形態－

まず、第1の実施形態の活性領域の構造を利用したショットキーダイオードに関する第2の実施形態について説明する。図6は、第2の実施形態に係るパワー半導体デバイスであるショットキーダイオードの概略的な構造を示す断面図である。

同図に示すように、(0001)オフ面を主面とするn型の6H-SiC基板である基板3の主面上には、上記第1の実施形態で説明した方法により形成されたアンドープ層22（低濃度ドーブ層）とn型ドーブ層23（高濃度ドーブ層）とを交互に50層ずつ積層した活性領域30が設けられている。ここで、基板3の厚さは約100 $\mu\text{m}$ で、基板3中の窒素濃度は約 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ である。n型ドーブ層23の厚さは約10nmで、n型ドーブ層23中の窒素のピーク濃度は $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ である。アンドープ層22の厚さは約50nmで、アンドープ層22中の窒素濃度は約 $5 \times 10^{15} \text{atoms} \cdot \text{cm}^{-3}$ であって、活性領域30全体の厚さは約3000nm（3 $\mu\text{m}$ ）である。活性領域30の最上部はアンドープ層22によって構成されており、活性領域30の最上部のアンドープ層22の上には、シリコン酸化膜からなるガードリング31と、ガードリング31に設けられた開口部において活性領域30の最上部のアンドープ層22にショットキー接触するNi合金からなるショットキー電極32とが設けられている。また、基板3の裏面には、基板3にオーミック接触するNi合金からなるオーミック電極33が設けられている。このオーミック電極33は、基板3のいずれかに接触していればよく、基板3の側面に接触していてもよい。

図6に示すショットキーダイオードの構造は、以下の手順により形成される。まず、高濃度に窒素がドーピングされたSiC基板である基板3を図1に示す結晶装置内に設置し、第1の実施形態で説明したCVDを行なって、基板3の上に、厚み約50nmのアンドープ層22と厚み約10nmのn型ドーブ層23とを交互にエピタキシャル成長させて、活性領域30を形成する。その後、基板上にシリコン酸化膜を形成した後、その一部を開口してガードリング31を形成する。次に、基板3の裏面にNi合金からなるオーミック電極33を形成し、基板上のガードリング31の開口領域の上に、Ni合金からなるショットキー電極32

を形成する。

図7 (a 1) ~ (c 2) は、本実施形態のショットキーダイオードと図11に示す従来のショットキーダイオードについて、バイアスの変化による伝導帯端の形状の変化を示すエネルギーバンド図である。ここで、図7 (a 1), (b 1), (c 1) は本実施形態のショットキーダイオードの活性領域の伝導帯端を、図7 (a 2), (b 2), (c 2) は従来のショットキーダイオードのn-SiC層の伝導帯端をそれぞれ示す。また、図7 (a 1), (a 2) は、ショットキー電極とオーミック電極との間に電圧を印加しないとき (0 バイアス)、図7 (b 1), (b 2) は、ショットキー電極とオーミック電極との間にショットキー電極の方が高くなるように電圧を印加した場合 (順バイアス)、図7 (c 1), (c 2) は、ショットキー電極とオーミック電極との間にオーミック電極の方が高くなるように電圧を印加した場合 (逆バイアス) の伝導帯端の形状をそれぞれ示している。なお、オーミック電極33と活性領域30との接触状態はバイアスの変化によって本質的に変化するものではないので、図示を省略している。また、本実施形態では、キャリアとして電子が走行するn型半導体層を設けた場合について説明しているので、価電子帯端の形状についても図示を省略している。

図7 (a 1), (a 2) に示すように、本実施形態、従来のショットキーダイオード共に、自然状態においては、活性領域の最上部とショットキー電極との間、n-SiC層とショットキー電極との間に、それぞれ高いショットキー障壁 (約1 eV) が形成されている。

そして、図7 (b 1) に示すように、本実施形態のショットキーダイオードに順バイアスが印加されると、活性領域30のポテンシャルが高められる、つまり活性領域30全体の伝導帯端のエネルギーレベルが上昇する。そして、活性領域30中のアンドープ層22において図5 (a) に示すようなキャリアの分布が生じるので、活性領域30からショットキー電極32に電流が流れる。つまり、活性領域30のn型ドーパ層だけでなくアンドープ層22がキャリア走行領域として機能することになる。このとき、アンドープ層22には図5 (a) に示すようなキャリアの分布が生じているものの不純物濃度が低いので、アンドープ層22においては不純物散乱が極めて低減される。ここで、一般に半導体のコンダクタ

ンス（抵抗値の逆数）は、電界とキャリア濃度とキャリア移動度との積に比例するが、キャリアが浸みだした領域ではキャリア移動度が上昇する。したがって、本実施形態のショットキーダイオードでは、活性領域 30 全体としての抵抗値を小さく維持することができ、低消費電力、大電流を実現することができる。

一方、図 7（b2）に示すように、従来のショットキーダイオードに順バイアスが印加されると、 $n^+$  SiC 基板からショットキー電極に電流が流れるが、そのときに  $n^-$  SiC 層という電気抵抗の大きい領域を通過する必要があるため、大きな消費電力が必要となる。

また、図 7（c1）に示すように、本実施形態のショットキーダイオードに逆バイアスが印加されると、活性領域 30 における伝導帯端のエネルギーレベル全体が低くなる。ここで、耐圧値は、逆バイアス時における空乏層に印加される電界によって規定される。本実施形態のショットキーダイオードでは、 $n$  型ドープ層 23 の厚みが極めて薄いことから、活性領域 30 全体の空乏層幅はアンドープ層 22 の不純物濃度に依存して決定され则认为よい。その場合、不純物濃度が低いほど伝導帯端の傾斜が緩やかになるので、不純物濃度が低いほど空乏層幅は当然広くなる。よって、本実施形態のショットキーダイオードにおいては、大きな耐圧値が得られることになる。

一方、図 7（c2）に示すように、従来のショットキーダイオードでは、 $n^-$  SiC 層の空乏層幅は、 $n^-$  SiC 層の不純物濃度に応じて変化するので、 $n^-$  SiC 層の不純物濃度を調整することによって抵抗値と耐圧値とを制御することは可能である。しかしながら、抵抗値を下げるために  $n^-$  SiC 層の不純物濃度を上げると空乏層幅が狭くなって耐圧値が低下する一方、 $n^-$  SiC 層の不純物濃度を低減すると抵抗値が増大するというトレードオフが存在する。すなわち、従来のショットキーダイオードによっては、パワーデバイスとして望まれる低抵抗性（低消費電力）及び高耐圧値とを同時に実現することが困難である。

それに対し、本実施形態のショットキーデバイスにおいては、順バイアス状態では、キャリアが  $n$  型ドープ層 23（高濃度ドープ層）からアンドープ層 22（低濃度ドープ層）に亘って分布するのを利用して、大きな抵抗を受けることなく容易に大電流を流すことができる。一方、逆バイアス状態ではキャリアがアンド



ープ層 22 には存在しないので、高耐圧値を得ることになる。つまり、順バイアス状態と逆バイアス状態とではキャリアの分布状態が相異なることに着目して、従来のショットキーダイオードにおいて存在していた低抵抗性と高耐圧性というトレードオフを解消することができるのである。

例えば、本実施形態では実測値で逆バイアスに対して 1000 V 程度の高耐圧値を有するショットキーダイオードが得られた。また、本実施形態のショットキーダイオードのオン抵抗は、実測値で約  $1 \times 10^{-3} \Omega \text{ cm}^2$  であり、極めて低い抵抗値を示している。

また、本実施形態のショットキーダイオードの耐圧値が大きい理由は、上述のような作用だけでなく、以下に説明する作用にもよるものと考えられる。

図 22 は、図 11 に示す従来の SiC 基板を用いたショットキーダイオードにおける逆バイアス印加時の空乏層の拡大状態を示す断面図である。同図に示すように、ショットキー電極 103 とオーミック電極 104 との間にオーミック電極 104 の方が高くなるような電圧（逆バイアス）が印加されると、 $n^-$  SiC 層 102 内で空乏層 108 が縦方向及び横方向に広がる。このとき、図中矢印 y で示す縦方向（厚み方向）への空乏層の広がり比べて、図中矢印 x で示す横方向への空乏層の広がり小さい。つまり、縦方向における等電位面 108 a 間の間隔よりも横方向における等電位面 108 a 間の間隔が狭い。その結果、空乏層 108 内における電界は、ショットキー電極 103 の下端面のエッジ付近でもっとも大きくなり、この部分で絶縁破壊（ブレイクダウン）が生じやすくなる。

図 23 は、単一の  $\delta$  ドープ層を活性領域に設けてなるショットキーダイオードにおける逆バイアス印加時の空乏層の拡大状態を示す断面図である。ここでは、活性領域 30 中には、単一の  $n$  型ドープ層（ $\delta$  ドープ層）のみが設けられ、活性領域中の他の部分はすべてアンダードープ層によって占められているものとする。この場合、同図に示すように、ショットキー電極 32 とオーミック電極 33 との間にオーミック電極 33 の方が高くなるような電圧（逆バイアス）が印加されると、活性領域 30 内で空乏層 38 が縦方向及び横方向に広がる。このとき、高濃度を不純物を含む  $\delta$  ドープ層は、あたかもドリフト領域（ここでは活性領域 30）中に挿入した電極のように機能する。したがって、空乏層が図中矢印 y で示す縦

方向（厚み方向）に広がって $\delta$ ドーブ層に接すると、空乏層 38 のさらに下方への広がりが $\delta$ ドーブ層によっていったん抑制されるので、縦方向への空乏層の広がりに比べて、図中矢印 x で示す横方向への空乏層の広がりの方が大きくなる。つまり、縦方向における等電位面 38 a 間の間隔よりも横方向における等電位面 38 a 間の間隔が広くなる。その結果、空乏層 38 内において、ショットキー電極 32 の下端面のエッジ付近での電界の集中がほとんどなくなる。また、空乏層 38 内における等電位線 38 a は $\delta$ ドーブ層にほぼ平行に形成されるので、空乏層 38 内における縦方向の電界は局所的に集中することなく広い範囲に均一に生じる。よって、絶縁破壊（ブレイクダウン）が生じにくくなる。よって、本発明のショットキーダイオードは、図 22 に示す従来のショットキーダイオードに比べて、高い耐圧値を有することになる。

図 24 は、複数の $\delta$ ドーブ層を結成領域に設けてなるショットキーダイオードにおける逆バイアス印加時の空乏層の拡大状態を示す断面図である。ここでは、活性領域 30 中には、2つの n 型ドーブ層（ $\delta$ ドーブ層）のみが設けられ、活性領域中の他の部分はすべてアンドーブ層によって占められているものとする。この場合、空乏層が図中矢印 y で示す縦方向（厚み方向）に広がって $\delta$ ドーブ層に接するたびに、空乏層 38 のさらに下方への広がりが $\delta$ ドーブ層によっていったん抑制される。そして、空乏層 38 内における等電位線 38 a は、図 23 に示す構造におけるよりも確実に $\delta$ ドーブ層に平行に形成される。よって、空乏層 38 内における電界の集中がより確実に抑制され、絶縁破壊（ブレイクダウン）が生じにくくなる。したがって、図 24 に示す複数の $\delta$ ドーブ層を活性領域 30 に設けた構造により、図 23 に示す単一の $\delta$ ドーブ層を活性領域 30 に設けた構造よりも高い耐圧値が得られることになる。つまり、一般的には、ショットキーダイオードの活性領域 30 における $\delta$ ドーブ層の数が多いほど、ショットキーダイオードの耐圧値が大きいといえる。

なお、本実施形態では、活性領域 30 の最上層を厚みが 50 nm のアンドーブ層 22 としたが、本発明は斯かる実施形態に限定されるものではない。例えば、活性領域の最上層を厚みが 50 nm - 200 nm 程度のアンドーブ層としてもよく、この最上層の厚みは耐圧性と電流量とのうちいずれを重視するかによって適

宜調整することができる。

### －第3の実施形態－

次に、第2の実施形態とは基本的に異なる構造を有するショットキーダイオードの別例に関する第3の実施形態について説明する。図8は、第3の実施形態に係るパワー半導体デバイスであるショットキーダイオードの概略的な構造を示す断面図である。

同図に示すように、(0001)オフ面を主面とするn型の6H-SiC基板である基板3の主面上には、第1の実施形態で説明した方法と基本的に同じ方法により形成されたアンドープ層22（低濃度ドーブ層）とn型ドーブ層23（高濃度ドーブ層）とを交互に50層ずつ積層した活性領域30が設けられている。ここで、基板3の厚さは約100 $\mu\text{m}$ で、基板3には不純物がドーブされておらずほぼ半絶縁性状態となっている。n型ドーブ層23の厚さは約2nmで、n型ドーブ層23中の窒素のピーク濃度は $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。アンドープ層22の厚さは約50nmで、アンドープ層22中の窒素濃度は約 $5 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-3}$ である。

ここで、本実施形態においては、活性領域30の上ではなく側方にショットキー電極35が設けられている。すなわち、活性領域30を掘込んで基板3に達する溝が形成され、この溝の側面上に活性領域30にショットキー接触するNi合金からなるショットキー電極35が設けられている。つまり、活性領域30内のアンドープ層22及びn型ドーブ層23の各第1の側面にショットキー接触するショットキー電極35が設けられている。また、活性領域30を挟んでショットキー電極35に対向するように引き出し用ドーブ層36が形成されている。つまり、活性領域30のアンドープ層22及びn型ドーブ層23の各第1の側面とはある間隔を隔てた領域に高濃度の不純物を導入して形成された引き出し用ドーブ層36が設けられている。この引き出し用ドーブ層36は活性領域30及び基板3の一部に窒素のイオン注入を行なうことにより形成されたもので、引き出し用ドーブ層36における窒素の濃度は、約 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。そして、引き出し用ドーブ層36の上には、引き出し用ドーブ層36にオーミック接触するNi合金からなるオーミック電極37が設けられている。ショットキー電

極 3 5 と引き出し用ドープ層 3 6 との間隔は約  $10 \mu\text{m}$  である。つまり、活性領域 3 0 内のアンドープ層 2 2 及び n 型ドープ層 2 3 の各第 2 の側面に引き出し用ドープ層 3 6 を介して接続されたオーミック電極 3 7 が設けられている。

なお、活性領域 3 0 の n 型ドープ層 2 3 とショットキー電極 3 5 とは、後に説明する理由から実質的にオーミック接触するわけではない。

また、引き出し用ドープ層 3 6 は必ずしも設ける必要はない。例えば、活性領域 3 0 にトレンチを形成して、トレンチに電極材料 (Ni など) を埋め込んで、活性領域 3 0 と電極材料とをオーミック接触させる処理を行なうことにより、活性領域に直接オーミック接触するオーミック電極を設けてもよい。

図 8 に示すショットキーダイオードの構造は、以下の手順により形成される。まず、半絶縁性の SiC 基板である基板 3 を図 1 に示す結晶装置内に設置し、第 1 の実施形態で説明した CVD を行なって、基板 3 の上に、厚み約  $50 \text{ nm}$  のアンドープ層 2 2 と厚み約  $2 \text{ nm}$  の n 型ドープ層 2 3 とを交互にエピタキシャル成長させて、活性領域 3 0 を形成する。次に、活性領域 3 0 及び基板 3 の一部に窒素のイオン注入を行なって、引き出し用ドープ層 3 6 を形成する。また、活性領域 3 0 の一部をドライエッチングにより除去して、溝を形成する。その後、引き出し用ドープ層 3 6 の上に Ni 合金からなるオーミック電極 3 7 を形成する。次に、溝の側壁に Ni 合金からなるショットキー電極 3 5 を形成する。

図 9 (a 1) ~ (c 3) は、本実施形態のショットキーダイオードと従来のショットキーダイオードについて、バイアスの変化による伝導帯端の形状の変化を示すエネルギーバンド図である。ここで、図 9 (a 1), (b 1), (c 1) は本実施形態のショットキーダイオードのアンドープ層 2 2 の伝導帯端を、図 9 (a 2), (b 2), (c 2) は本実施形態のショットキーダイオードの n 型ドープ層 2 3 の伝導帯端を、図 9 (a 3), (b 3), (c 3) は従来のショットキーダイオードの SiC 基板の伝導帯端をそれぞれ示す。ただし、従来のショットキーダイオードにおいて、図 11 に示すような n-SiC 層と n+SiC 層とに跨るショットキー電極を設けることはできず、かつ、全く意味がないので、ここでは、均一な濃度の窒素がドープされた均一ドープ層とショットキー電極とが接触し、均一ドープ層のいずれかの部位にオーミック電極がオーミック接触してい

るものとする。また、図9 (a1) ~ (a3) は、ショットキー電極とオーミック電極との間に電圧を印加しないとき (0 バイアス)、図9 (b1) ~ (b3) は、ショットキー電極とオーミック電極との間にショットキー電極の方が高くなるように電圧を印加した場合 (順バイアス)、図9 (c1) ~ (c3) は、ショットキー電極とオーミック電極との間にオーミック電極の方が高くなるように電圧を印加した場合 (逆バイアス) の伝導帯端の形状をそれぞれ示している。なお、オーミック電極33と活性領域30との接触状態はバイアスの変化によって本質的に変化するものではないので、図示を省略している。また、本実施形態では、キャリアとして電子が走行するn型半導体層を設けた場合について説明しているので、価電子帯端の形状についても図示を省略している。

図9 (a1) ~ (a3) に示すように、本実施形態、従来のショットキーダイオード共に、自然状態においては、活性領域のアンドープ層又はn型ドープ等とショットキー電極との間、均一ドープ層とショットキー電極との間に、それぞれ高いショットキー障壁 (約1~2 eV) が形成されている。

そして、図9 (b1), (b2) に示すように、本実施形態のショットキーダイオードに順バイアスが印加されると、活性領域30のポテンシャルが高められる、つまり活性領域30のアンドープ層22及びn型ドープ層23における伝導帯端のエネルギーレベルが上昇する。このとき、アンドープ層22にも図5 (a) に示すようなキャリアの分布が生じているので、活性領域30のn型ドープ層23とアンドープ層22との双方を通じて、容易にショットキー電極35に電流が流れる。つまり、活性領域30のn型ドープ層23だけでなくアンドープ層22もキャリア走行領域として機能することになる。このとき、アンドープ層22には図5 (a) に示すようなキャリアの分布が生じているものの不純物濃度が薄いので、アンドープ層22においては不純物散乱が低減される。したがって、活性領域30全体としての抵抗値を小さく維持することができ、低消費電力、大電流を実現することができる。

一方、図9 (b3) に示すように、従来のショットキーダイオードに順バイアスが印加されると、均一ドープ層からショットキー電極に電流が流れる。

また、図9 (c1), (c2) に示すように、本実施形態のショットキーダイ

オードに逆バイアスが印加されると、活性領域 30 のアンドープ層 22 及び n 型ドーブ層 23 における伝導帯端のエネルギーレベル全体が低くなる。上述のように、耐圧値は、逆バイアス時における空乏層に印加される電界によって規定される。その場合、不純物濃度が低いほど伝導帯端の傾斜が緩やかになるので、不純物濃度が低いほど空乏層幅は当然広くなる。よって、図 9 (c1) に示すように、アンドープ層 22 においては、大きな耐圧値が得られることになる。一方、単に高濃度ドーブ層とショットキー電極とが接触している場合、逆バイアスのときの高濃度ドーブ層の伝導帯端は、図 9 (c2) の破線に示すようになり高濃度ドーブ層の空乏層幅は極めて狭くなるはずである。ところが、本実施形態においては、n 型ドーブ層 23 の厚みが 2 nm と極めて薄いので、図 9 (c2) の実線に示すように、アンドープ層 22 からの空乏層が広がって n 型ドーブ層 23 にまで空乏層が拡大していることから、電子の移動は起こり得ない。

また、活性領域 30 全体が空乏化しているときにはアンドープ層 22 にはキャリアの分布が生じないので、ショットキー電極 35 から引き出し用ドーブ層 36 に電流が流れるには、n 型ドーブ層 23 のみを流れなければならない。ところが、n 型ドーブ層 23 の厚みが 2 nm と極めて薄いことから、n 型ドーブ層 23 において大きな抵抗を受けることになり、現実には電流が流れない。すなわち、n 型ドーブ層 23 とショットキー電極 35 との間は実質的にもオーミック接触することはなく、ショットキー接触が保たれる。しかも、アンドープ層 22、n 型ドーブ層 23 の厚み及び不純物濃度などを調整することにより、厚みの大きいアンドープ層 22 とショットキー電極 35 との間の空乏層幅によって耐圧値を規定することができる。よって、高い耐圧値を得ることができる。

一方、図 9 (c3) に示すように、従来のショットキーダイオードでは、均一ドーブ層の空乏層幅が均一ドーブ層の不純物濃度に応じて変化するので、均一ドーブ層の不純物濃度を調整することによって抵抗値と耐圧値とを制御することは可能である。しかしながら、第 2 の実施形態で説明したように、抵抗値を下げるために均一ドーブ層の不純物濃度を上げると空乏層幅が狭くなって耐圧値が低下する一方、均一ドーブ層の不純物濃度を低減すると抵抗値が増大するというトレードオフが存在するので、図 11 に示す従来のショットキーダイオードでは、バ

ワーデバースとして望まれる低抵抗性（低消費電力）と高耐圧性とを同時に実現することが困難である。

それに対し、本実施形態のショットキーデバイスにおいては、順バイアス状態では、キャリアがn型ドープ層23（高濃度ドープ層）からアンドープ層22（低濃度ドープ層）に亘って分布し、しかも、アンドープ層22における不純物散乱が低減されることから、引き出し用ドープ層36からショットキー電極35に向かって、キャリア（電子）を容易に移動させることができる。一方、逆バイアス状態ではキャリアがアンドープ層22には存在しないので、ショットキー電極35から引き出し用ドープ層36に極薄のn型ドープ層23のみを経て電子を流すことが困難である。つまり、本実施形態においても、第2の実施形態と同様に、順バイアス状態と逆バイアス状態とではキャリアの分布状態が相異なることに着目して、従来のショットキーダイオードにおいて存在していた低抵抗性と高耐圧性というトレードオフを解消することができるのである。

#### －第4の実施形態－

次に、第1の実施形態で説明した活性領域30を利用したMESFETに関する第4の実施形態について説明する。図10は、第4の実施形態に係るパワー半導体デバイスであるMESFETの概略的な構造を示す断面図である。

同図に示すように、(0001)オフ面を主面とするn型の6H-SiC基板である基板3の主面上には、上記第1の実施形態で説明した方法により形成されたアンドープ層22（低濃度ドープ層）とn型ドープ層23（高濃度ドープ層）とを交互に5層ずつ積層したチャネル層として機能する活性領域30が設けられている。ここで、基板3の厚さは約100 $\mu$ mで、基板3には不純物がドープされておらずほぼ半絶縁性状態となっている。n型ドープ層23の厚さは約10nmで、n型ドープ層23中の窒素のピーク濃度は $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。アンドープ層22の厚さは約50nmで、アンドープ層22中の窒素濃度は約 $5 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-3}$ である。つまり、MESFETのチャネル層として機能する活性領域30のトータル厚みは約300nmである。

また、本実施形態においては、活性領域30の最上部のアンドープ層22の上に、アンドープ層22とショットキー接触するNi合金からなるショットキー電

極であるゲート電極 38 と、ゲート電極 38 を挟んで互いに対向する Ni 合金からなるオーミック電極であるソース電極 39a 及びドレイン電極 39b とが設けられている。また、ゲート電極 38 のゲート長は約  $1\ \mu\text{m}$  である。

図 10 に示す MESFET の構造は、以下の手順により形成される。まず、半絶縁性の SiC 基板である基板 3 を図 1 に示す結晶装置内に設置し、第 1 の実施形態で説明した CVD を行なって、基板 3 の上にアンドープ層 22 と n 型ドーブ層 23 とを交互に 5 層ずつエピタキシャル成長させて、活性領域 30 を形成する。次に、基板上に Ni 合金からなるソース電極 39a, ドレイン電極 39b を形成する。このときには、ソース電極 39a, ドレイン電極 39b と活性領域 30 の最上部のアンドープ層 22 とはショットキー接触しているが、その後、 $1000^\circ\text{C}$  で 3 分間の熱処理を施すことにより、ソース電極 39a, ドレイン電極 39b と活性領域 30 の最上部のアンドープ層 22 とをオーミック接触構造に変える。次に、基板上に Ni 合金からなるゲート電極 38 を形成し、その後上述のような熱処理を行わずに、ゲート電極 38 と活性領域 30 の最上部のアンドープ層 22 とをショットキー接触している状態に保持する。

ここで、比較例として、半絶縁性の SiC 基板の上に均一の濃度 ( $1 \times 10^{17}\ \text{atoms} \cdot \text{cm}^{-3}$ ) に窒素がドーブされた均一ドーブ層を設け、この均一ドーブ層の上に本実施形態と同様のゲート電極、ソース電極及びドレイン電極を設けて、均一ドーブ層をチャンネル層とする MESFET を作成した。

本実施形態においては、ゲート電極 38 に電圧が印加されていなくて、ドレイン電極 39b に正の電圧が印加されると、活性領域 30 内のドレイン電極 39b 直下の領域と、ゲート電極 38 直下の領域との間には、第 3 の実施形態における逆バイアスと同じポテンシャル差が生じるが、空乏層幅は小さい。一方、ソース電極 39a 直下の領域と、ゲート電極 38 直下の領域との間にはポテンシャル差はない。その結果、活性領域 30 中のアンドープ層 22 においては図 9 (b1) に示すように、活性領域 30 中の n 型ドーブ層 23 においては図 9 (b2) に示すように、それぞれキャリア (電子) が発生して、第 3 の実施形態と同様に、活性領域 30 内をソース電極 39a 直下の領域からドレイン領域 39b 直下の領域に向かって、電子が移動する。その際、電子がアンドープ層 22 及び n 型ドーブ



層 2 3 の双方を流れるので、第 3 の実施形態と同じ作用によって、高い電子移動度と低抵抗とが得られる。

次に、ゲート電極 3 8 に負の電圧が印加されると、活性領域 3 0 内のゲート電極 3 8 直下の領域と、ドレイン電極 3 9 b 直下の領域との間には、第 3 の実施形態における逆バイアスと同様に大きなポテンシャル差が生じる。一方、ソース電極 3 9 a 直下の領域とゲート電極 3 8 の直下の領域においても、第 3 の実施形態における逆バイアスと同じポテンシャル差が生じる。言い換えると、活性領域 3 0 内のゲート電極 3 8 直下の領域に空乏層が大きく広がることになる。よって、上述の第 3 の実施形態と同じ作用により、薄い n 型ドープ層 2 3 のみを電子が走行するのが困難となるので、ソース・ドレイン間における高耐圧が得られることになる。

ここで、本実施形態の M E S F E T の性能についての評価結果と、本実施形態の M E S F E T と従来の M E S F E T との性能の比較とについて説明する。

まず、ゲート・ソース間の耐圧性について両者を比較した。本実施形態におけるアンドープ層と n 型ドープ層とを 5 層ずつ交互に積層して形成された活性領域 3 0 をチャネル層とする M E S F E T では、絶縁耐圧は 1 2 0 V となり、従来の M E S F E T の 4 倍の耐圧値を有していた。

次に、本実施形態の M E S F E T について、ドレイン電流とドレイン電圧との関係のゲート電圧依存性（I-V 特性）を調べた。ソース電極 3 9 a とドレイン電極 3 9 b との間に一定電圧を印加し、ゲート電極 3 8 に電圧を印加することにより、ゲート電極 3 8 に印加する電圧に応じてソース・ドレイン間の電流が変調され、スイッチング動作が得られた。この時、ドレイン電圧が 1 4 0 V 以上であっても、ブレークダウンなしに安定なドレイン電流が得られた。

図 1 2 は、本実施形態の M E S F E T について、ドレイン電流とドレイン電圧との関係のゲート電圧依存性（I-V 特性）を測定した結果を示す図である。同図において、横軸はドレイン間電圧  $V_{ds}$  (V) を表し、縦軸はドレイン電流  $I_{ds}$  (A) を表し、ゲート電圧  $V_g$  をパラメータとしている。

さらに、本実施形態と従来の M E S F E T について、しきい値電圧付近の相互コンダクタンスを測定した。その結果、上述のような活性領域 3 0 をチャネル層

として用いた本実施形態のMESFETの相互コンダクタンスは、均一ドープ層をチャンネル層として用いた従来のMESFETに比べて約2倍近く高くなっていることが分かった。これは、本実施形態のMESFETにおける電子移動度が上述のように高くなることに起因するものである。

以上の結果から、本実施形態のMESFETにおいては、低消費電力、高耐圧、高利得という効果を発揮することができる。

#### －その他の実施形態－

上記第1～第4の実施形態においては、アンドープ層22（低濃度ドープ層）とn型ドープ層23（高濃度ドープ層）とを多数積層した活性領域30を設けたが、活性領域内に低濃度ドープ層と高濃度ドープ層とが1層ずつしか設けられていない構造であってもよい。

上記第2～第4の実施形態においては、高濃度ドープ層として窒素を用いてn型のドープ層を形成したが、低濃度ドープ層、高濃度ドープ層のいずれにおいても、n型の伝導性を示すドーパントとして他の元素（例えばリン（P）、砒素（As）など）を含むドーピングガスを用いても差し支えない。

また、上記第2の～第4の実施形態においては、高濃度ドープ層としてn型のドープ層を形成したが、低濃度ドープ層、高濃度ドープ層のいずれにおいても、p型の伝導性を生じるボロン（B）、アルミニウム（Al）、ガリウム（Ga）等の原子を含むドーピングガスを用いれば、各遷移領域で極めて急峻な濃度分布をもつp型のドープ層が形成されることはいうまでもない。

また、上記第2～第4の実施形態においては、炭化珪素基板（SiC基板）の代わりに、他の材料からなる基板を用いて、その上に半導体層（低濃度ドープ層と高濃度ドープ層）をエピタキシャル成長させた活性領域を設けてもよい。特に、GaAs、GaNなどの基板は、イントリンシック状態でいわゆる半絶縁性材料と呼ばれるほどバンドギャップが広いことから、上記第2～第4の実施形態における活性領域30を形成することによって高耐圧のデバイスを形成しうる利点がある。

さらに、上記第1～第4の実施形態においては、活性領域30中のアンドープ

層 2 2 (低濃度ドーブ層＝第 1 の半導体層) と n 型ドーブ層 2 3 (高濃度ドーブ層＝第 2 の半導体層) とを同じ材料である SiC によって構成したが、本発明の第 1 半導体層と第 2 の半導体層とは必ずしも互いに共通の材料によって構成する必要はない。ただし、両者を互いに共通の材料によって構成することにより、2 つの層の間のポテンシャル障壁の傾斜がなめらかになるので、キャリアを活性領域全体に亘って分布させることが容易となる。

本発明は、CVD 法だけでなくスパッタリング法、蒸着法、MBE 法などの他の方法を用いて、低濃度ドーブ層 (アンドーブ層を含む) と、それよりも厚みが小さく、量子効果による低濃度ドーブ層へのキャリアの浸みだしが可能な程度に厚みの薄い (材料によって異なるが、SiC 基板では 20 nm 程度以下) 高濃度ドーブ層とを積層したものにも適用することができる。そして、低濃度ドーブ層 (アンドーブ層を含む) の厚みは、100 nm 程度に厚くてもよいし、量子効果が生じる程度に薄くてもよい。

その際、低濃度ドーブ層と高濃度ドーブ層との不純物濃度の値は上記各実施形態に示す値に限定されるものではない。すなわち、高濃度ドーブ層と低濃度ドーブ層との不純物濃度の差が所定値 (例えば 1 桁程度) 以上であれば、本発明の効果を得ることができる。

## 実験例

### －第 1 の実験例－

以下、本発明の効果を確認するために行なった  $\delta$  ドーブ層を有する活性領域の基本的特性に関する第 1 の実験例について説明する。第 1 の実験例においては、大まかに言って 2 種類の活性領域を有する基板を作成した。その 1 つは、厚みが 10 nm で窒素濃度が  $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$  である複数の n 型  $\delta$  ドーブ層 (高濃度ドーブ層) と、厚みが 50 nm の複数のアンドーブ層 (低濃度ドーブ層) とを積層してなる活性領域を有するサンプル A である。もう 1 つは、厚みが 20 nm の複数の  $\delta$  ドーブ層と、厚みが 100 nm の複数のアンドーブ層とを積層してなる活性領域を有するサンプル B である。そして、この活性領域の上にショットキー電極を設けて、図 6 に示す構造を有するショットキーダイオードを形成し

ている。このように、サンプルAとBとにおける $\delta$ ドーブ層とアンドーブ層との厚みの比をいずれも1:5と共通化することにより、サンプルA, Bの平均的な不純物濃度を同じにしている。前に説明した図4のデータは、 $\delta$ ドーブ層の厚みが20 nmであるサンプルBについてのものである。なお、以下の説明においては、複数の $\delta$ ドーブ層と複数のアンドーブ層とを積層してなる活性領域（チャンネル領域）を $\delta$ ドーブチャンネル層ともいう。

図13は、窒素の濃度が $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ の場合における $\delta$ ドーブ層のプロファイルを詳細に調べるために、ショットキーダイオードについてのC-V法によるキャリア濃度測定を行なった結果を示す図である。C-V法による測定は、径が300  $\mu\text{m}$ の円形Niショットキー電極を有するショットキーダイオードに、バイアスを、0.5 Vから-0.2 Vまでの間と、-0.2 Vから-2 Vの間とに変化させ、これに重畳して微小振幅の1 MHzの高周波信号を印加して行なった。そして、同図に示す不純物濃度のプロファイルは、厚さが10 nmの $\delta$ ドーブ層と厚さが50 nmのアンドーブ層とを積層したものから抜き出した $\delta$ ドーブ層についてのものである。同図に示すように、深さ方向の濃度プロファイルはほぼ上下対称形であり、本発明の実施形態のエピタキシャル方法によって、CVDによるエピタキシャル成長中のドーピングメモリ効果（ドーバントの残留効果）が無視できることを示している。そして、C-V法による $\delta$ ドーブ層の平面的なキャリア濃度は $1.5 \times 10^{12} \text{ cm}^{-2}$ であり、ホール係数の測定から得られた平面的な濃度約 $2.5 \times 10^{12} \text{ cm}^{-2}$ に比較的よく一致している。そして、このパルス状のプロファイルの半値幅は、12 nmと形成されており、顕著な急峻性を示している。

図14は、6H-SiC基板中の $\delta$ ドーブ層のバンド端フォトルミネッセンススペクトルの測定結果を示す図である。このスペクトルは温度8 Kの下で得られたものであり、励起源として強度0.5 mWのHe-Cdレーザーが用いられている。ここでは、厚さ10 nmの $\delta$ ドーブ層と厚さ50 nmのアンドーブ層とを積層したもののアンドーブ層から得られたスペクトルと、厚さ1  $\mu\text{m}$ のアンドーブ層から得られたスペクトルとを比較している。同図に示すように、両者のスペクトルパターンが同じ波長領域で同じ強度の発光ピークを有しているので、両者

の不純物濃度が同じであることがわかる。言い換えると、 $\delta$ ドーブ層とアンドーブ層とからなる積層構造中のアンドーブ層には、 $\delta$ ドーブ層からの不純物の拡散による不純物濃度の上昇がほとんどみられず、ほぼ所望の不純物濃度プロファイルを維持しながら積層されていることがわかる。特筆すべきは、アンドーブ層の不純物濃度が、 $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度の低い値に制御されている点である。すなわち、図4に示すデータでは、アンドーブ層の不純物濃度が $10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ オーダーであるように検出されているが、それはSIMSによる測定感度の限界により生じた誤差である。そして、PL法を用いることにより、本発明の $\delta$ ドーブ層とアンドーブ層とを交互に積層して得られる活性領域中のアンドーブ層の不純物濃度が $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度の低濃度であることが確認された。

図15(a), (b)は、それぞれ順に、6H-SiC層の電子移動度の温度依存性と電子濃度の温度依存性を示すデータである。図5(a), (b)において、○印のデータは、厚みが10nmの $\delta$ ドーブ層（ドーパントは窒素）と、厚みが50nmのアンドーブ層とを積層してなる6H-SiC層（サンプルA）についてのデータである。■印のデータは、6H-SiCの低濃度均一ドーブ層（ $1.8 \times 10^{16} \text{ cm}^{-3}$ ）についてのデータであり、▲印のデータは6H-SiCの高濃度均一ドーブ層（ $1.3 \times 10^{18} \text{ cm}^{-3}$ ）についてのデータである。図15(a), (b)に示すように、6H-SiCの低濃度均一ドーブ層（ $1.8 \times 10^{16} \text{ cm}^{-3}$ ）においては、不純物濃度が低いので、キャリアの走行時にキャリアが不純物から受ける散乱が小さくなることにより、電子の移動度が大きい。一方、6H-SiCの高濃度均一ドーブ層（ $1.3 \times 10^{18} \text{ cm}^{-3}$ ）においては、不純物濃度が高いので、キャリアの走行時にキャリアが不純物から受ける散乱が大きくなることにより、電子移動度が小さい。つまり、キャリア濃度とキャリアの走行特性とは、互いにトレードオフの関係にある。それに対し、サンプルAの活性領域中の $\delta$ ドーブ層においては、高濃度均一ドーブ層と同程度に電子濃度が高く、かつ、電子の移動度が高いことがわかる。すなわち、本発明の活性領域は、高い電子濃度を有していながら、高い電子移動度を実現することができるので、ダイオードやトランジスタの電子が走行する領域に適した構造となっている。

ことがわかる。なお、キャリアがホールである場合にも、原理的には電子の場合と変わりが無いので、p型の $\delta$ 層におけるホール濃度を高くしつつ、高いホール移動度を実現することができると考えることができる。

図16は、上述の厚みが10 nmの $\delta$ ドープ層と厚みが50 nmのアンドープ層とを積層してなる活性領域を有するサンプルAと、厚みが20 nmの $\delta$ ドープ層と厚みが100 nmのアンドープ層とを積層してなる活性領域を有するサンプルBとにおける電子移動度の温度依存性を示すデータである。この電子移動度のデータは、温度77～300 Kの範囲において測定されている。上述のように、サンプルAとBとにおける $\delta$ ドープ層とアンドープ層との厚みの比をいずれも1:5と共通化してサンプルA、Bの平均的な不純物濃度を同じにしているにも拘わらず、同図に示すように、サンプルAにおける電子移動度は、サンプルBにおける電子移動度に比べて大きいことがわかる。特に、低温領域においては、サンプルBにおける電子移動度は、温度が低くなるにしたがって、イオン化された不純物による散乱のために低下しているが、サンプルAにおいては、温度が低くなっても高い電子移動度が維持されていることが示されている。

図17(a)、(b)は、厚みが10 nmの $\delta$ ドープ層を有するサンプルAにおける伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。図18(a)、(b)は、厚みが20 nmの $\delta$ ドープ層を有するサンプルBにおける伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。図17(a)、図18(a)に示すように、 $\delta$ ドープ層に対して直交する断面においては、電子は、正にチャージしたドナー層によって挟まれたV型のクーロンポテンシャル（量子井戸）に閉じ込められ、この井戸内で量子状態が形成される。電子の実効質量は1.1であり、6H-SiC層の比誘電率は9.66である。アンドープ層に用いられる6H-SiC層のバックグラウンドのキャリア濃度は $5 \times 10^{15} \text{ cm}^{-3}$ であり、n型 $\delta$ ドープ層のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

図17(b)に示すように、厚みが10 nmの $\delta$ ドープ層（サンプルA）においては、2次元電子が2つの $\delta$ ドープ層によって挟まれたアンドープ層にまで広

く分布していて、電子濃度が  $2 \times 10^{16} \text{ cm}^{-3}$  以上の領域は界面から 25 nm の範囲である。つまり、図 5 (a) において模式的に描かれているキャリアの分布状態と一致しており、キャリアが  $\delta$  ドープ層からアンドープ層にまで浸みだしていることがわかる。

一方、図 18 (b) に示すように、厚みが 20 nm の厚い  $\delta$  ドープ層 (サンプル B) においては、電子の波動関数によって規定されるキャリアの存在確率の高い領域と、イオン化散乱中心を有する  $\delta$  ドープ層とが強くオーバーラップしていて、電子濃度が  $2 \times 10^{16} \text{ cm}^{-3}$  以上の領域は界面から 11 nm の範囲である。つまり、キャリアの  $\delta$  ドープ層からアンドープ層への浸みだしが比較的少ないことがわかる。

#### －第 2 の実験例－

第 2 の実験例においては、第 1 の実験例で示されるような高い電子の移動度を示す  $\delta$  ドープ層を有する活性領域を MESFET のチャネル領域として用いる例について説明する。

図 19 は、本実験例における MESFET の構造を模式的に示す断面図である。同図に示すように、本実験例で用いた MESFET は、6H-SiC 基板 (主面が (0001) 面) と、6H-SiC 基板の上にエピタキシャル成長された厚みが約 3  $\mu\text{m}$  の下地アンドープ SiC 層と、下地アンドープ層の上にエピタキシャル成長された厚さが 10 nm の  $\delta$  ドープ層 (不純物である窒素の濃度が約  $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ) と、厚さが 50 nm のアンドープ層とをそれぞれ 5 層ずつ積層してなる活性領域と、活性領域の中央部の上に設けられた Ni ゲート電極と、活性領域の両端に Ni ゲート電極を挟んで設けられた 2 つの  $n^+$  SiC 層 (ソース・ドレイン領域) と、各  $n^+$  SiC 層の上に形成された Ni ソース電極及び Ni ドレイン電極とを備えている。活性領域の最上部はアンドープ層であり、最上のアンドープ層は、Ni ゲート電極とショットキー接触している。一方、 $n^+$  SiC 層と Ni ソース電極及び Ni ドレイン電極とはオーミック接触している。Ni ゲート電極のゲート長は約 2  $\mu\text{m}$  であり、Ni ソース電極－Ni ドレイン電極間の距離は約 5  $\mu\text{m}$  であり、ゲート幅は約 5  $\mu\text{m}$  である。

ここで、MESFET の作成工程においては、 $n^+$  SiC 層と Ni ソース電極

及びN i ドレイン電極とのオーミック接触状態は、N i 電極形成後に1 0 0 0℃、5分間のアニールを施すことによって形成される。T L M法(transmission line method)によって測定されたオーミック接触の抵抗値は、例えば約 $1 \times 10^{-5} \Omega \text{ cm}$ である。リセスゲート構造は、 $n^+ \text{ Si C}$ 層を、 $\text{CF}_4$ 、 $\text{O}_2$ を用いたプラズマリアクティブイオンエッチング(R I E)によってバターニングすることにより形成されている。このとき、 $\text{CF}_4$ の流量は $15 \text{ sccm}$ ( $\doteq 0.015 \text{ l/min}$ )であり、 $\text{O}_2$ の流量は $15 \text{ sccm}$ ( $\doteq 0.015 \text{ l/min}$ )であり、圧力は $50 \text{ mTorr}$ ( $\doteq 6.67 \text{ Pa}$ )である。エッチレートは、例えば高周波入力を $80 \text{ W}$ 程度として $15 \text{ nm/min}$ 程度まで小さくすることにより、イオン衝撃による $\text{Si C}$ 層の表面部のダメージを低減することができる。

図20は、本実験例で作成したM E S F E TのI-V特性を示す図である。同図において、横軸はドレイン-ソース間の電圧を表し、縦軸はドレイン-ソース間の電流を表していて、ゲート-ソース間電圧 $V_{gs}$ をパラメータとしている。ゲート-ソース間電圧が $0 \text{ V}$ でドレイン-ソース間電圧が $100 \text{ V}$ の時、エクストリンシック相互コンダクタンスは $15 \text{ mS/mm}$ で( $S = 1/\Omega$ )、ドレイン電流密度は $96 \text{ mA/mm}$ である。 $\delta$ ドープチャネル層を有するF E Tのゲート長を $0.5 \mu\text{m}$ とすると、エクストリンシック相互コンダクタンスは、理想的には $60 \text{ mS/mm}$ である。つまり、本実験例に係る $\delta$ ドープチャネル層を備えたF E Tのチャネル移動度は、一般的な $6 \text{ H-Si C}$ 系M E S F E Tのチャネル移動度よりも大きいことがわかる。そして、M E S F E Tの電力Pは、式

$$P = V_{ds\text{max}} \cdot I_{ds\text{max}}$$

により表されるので、本実験例のM E S F E Tがパワーデバイスに適していることがわかる。

また、図20から、ゲート-ソース間電圧を $-12 \text{ V}$ とすると、ドレイン-ソース間ブレイクダウン電圧は少なくとも $150 \text{ V}$ 以上であることがわかる。図20には表れていないが、ゲート-ソース間電圧が $-12 \text{ V}$ のときのドレイン-ソース間ブレイクダウン電圧は約 $200 \text{ V}$ であった。つまり、本実験例におけるM E S F E Tのいわゆる耐圧値は、 $150 \sim 200 \text{ V}$ 程度である。

図21は、本実験例のM E S F E Tの逆方向ゲート電流の逆方向ゲート-ソー



ス間電圧依存性を示すデータである。同図に示すように、逆方向の平均ゲート電流が  $1 \text{ mA/mm}$  の時のゲートソース間の逆電圧として定義されるゲートブレイクダウン電圧は、約  $140 \text{ V}$  である。そして、ショットキー障壁の高さは  $1.2 \text{ eV}$  であり、 $n$  値は  $1.1$  である。以上の結果は、本実施形態に係る  $\delta$  ドープチャンネル層を有する MESFET が、高いブレイクダウン電圧と高い相互コンダクタンスとを有していることを示している。

以上の実験例や他のシミュレーションデータなどを総合すると、高濃度ドープ層 ( $\delta$  ドープ層) の厚みは、SiC 層を用いる場合には、1 モノレイヤー ( $10$  オングストローム程度) 以上で  $20 \text{ nm}$  未満であることが好ましいことがわかった。また、低濃度ドープ層 (アンドープ層を含む) の厚みは、約  $10 \text{ nm}$  以上で約  $100 \text{ nm}$  以下であることが好ましい。これらの高濃度ドープ層と低濃度ドープ層の厚みは、それぞれ、これらを利用して形成される能動素子 (ダイオード、トランジスタなど) の種類や目的に応じて適宜選択することができる。

また、SiC 層以外の半導体層、例えば GaAs 層、AlGaAs 層、GaN 層、AlGaN 層、SiGe 層、SiGeC 層などの場合には、高濃度ドープ層 ( $\delta$  ドープ層) の厚みはその材料に応じて適正な厚みが定められる。例えば、GaAs 層を用いる場合には、1 モノレイヤーの  $\delta$  ドープ層を設けることができる。一般的には、キャリアの供給能力を適正に維持できさえすれば、同じ厚みで耐圧値を向上させるためには、高濃度ドープ層 ( $\delta$  ドープ層) の厚みは薄いほど好ましいといえる。

### 産業上の利用可能性

本発明の半導体装置は、電子機器に搭載されるショットキーダイオード、MESFET、MOSFET、IGBT、DMOS デバイスなどのデバイス、特に、高周波信号を扱うデバイスやパワーデバイスに利用される。

## 請求の範囲

1. 基板上に能動素子の一部として機能する活性領域を設けてなる半導体装置において、

上記活性領域は、

上記基板の上に設けられ、キャリア走行領域として機能する少なくとも1つの第1の半導体層と、

上記第1の半導体層よりも高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果による上記第1の半導体層へのキャリアの浸みだしが可能な少なくとも1つの第2の半導体層とを積層して構成されていることを特徴とする半導体装置。

2. 請求項1の半導体装置において、

上記第1及び第2の半導体層は、各々複数個設けられ、かつ交互に積層されていることを特徴とする半導体装置。

3. 請求項1又は2の半導体装置において、

上記第1の半導体層におけるキャリア用不純物濃度は、 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 未満であり、

上記第2の半導体層におけるキャリア用不純物濃度は、 $10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 以上であることを特徴とする半導体装置。

4. 請求項1－3のうちいずれか1つの半導体装置において、

上記基板及び活性領域は、SiC、GaN及びGaAsのうちから選ばれるいずれか1つの材料により構成されていることを特徴とする半導体装置。

5. 請求項1－4のうちいずれか1の半導体装置において、

上記活性領域中の第1及び第2の半導体層は、互いに共通の材料により構成されていることを特徴とする半導体装置。

6. 請求項 1 - 3 のうちいずれか 1 つの半導体装置において、  
上記第 2 の半導体層は、SiC 層であり、  
上記第 2 の半導体層の厚みは、1 モノレイヤー以上で 20 nm 未満であることを特徴とする半導体装置。
7. 請求項 1 - 3 のうちいずれか 1 つの半導体装置において、  
上記第 1 の半導体層は、SiC 層であり、  
上記第 1 の半導体層の厚みは、約 10 nm 以上で約 100 nm 以下であることを特徴とする半導体装置。
8. 請求項 1 - 7 のうちいずれか 1 つの半導体装置において、  
上記基板は高濃度の不純物を含む半導体層であり、  
上記活性領域の最上部は上記第 1 の半導体層により構成されていて、  
上記活性領域の最上部の第 1 の半導体層の上面の一部にショットキー接触するショットキー電極と、  
上記基板の一部にオーミック接触するオーミック電極と  
をさらに備えていることを特徴とする半導体装置。
9. 請求項 1 - 7 のうちいずれか 1 つの半導体装置において、  
上記活性領域の第 1 の半導体層及び第 2 の半導体層の各第 1 の側面にショットキー接触するショットキー電極と、  
上記活性領域の第 1 の半導体層及び第 2 の半導体層の上記各第 1 の側面とはある間隔を隔てた各第 2 の側面に接続される電極と  
をさらに備えていることを特徴とする半導体装置。
10. 請求項 9 の半導体装置において、  
上記活性領域の第 1 の半導体層及び第 2 の半導体層の上記各第 1 の側面とはある間隔を隔てた領域に高濃度の不純物を導入して形成された引き出し用ドープ層をさらに備え、

上記電極は、上記引き出し用ドープ層にオーミック接触していることを特徴とする半導体装置。

11. 請求項1-7のうちいずれか1つの半導体装置において、

上記活性領域の最上部は上記第1の半導体層により構成されていて、

上記活性領域の最上部の第1の半導体層の上面の一部にショットキー接触するショットキーゲート電極と、

上記活性領域の上に、上記ショットキーゲート電極を挟んで設けられ、上記活性領域に接続されるソース・ドレイン電極とをさらに備えていることを特徴とする半導体装置。

12. 請求項11の半導体装置において、

上記活性領域の上に、上記ショットキーゲート電極を挟んで設けられ、高濃度の不純物を含む2つの第3の半導体層をさらに備え、

上記ソース・ドレイン電極は、上記第3の半導体層にオーミック接触していることを特徴とする半導体装置。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L29/872, H01L21/338, H01L29/812

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L29/872, H01L21/338, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P, 5-13446, A (日本電装株式会社) 22. 1月. 1993 (22. 01. 93) 全文, 図1-4 全文, 図1-4 全文, 図1-4 (ファミリーなし)	1-5, 11-12 6-7 8-10
X Y	J P, 6-349860, A (株式会社日立製作所) 22. 12月. 1994 (22. 12. 94) 全文, 図1-10 全文, 図1-10	1-5, 11-12 6-7

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

09. 01. 01

国際調査報告の発送日

23.01.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

4 L

9544

電話番号 03-3581-1101 内線 3497

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	全文, 図1-10 (ファミリーなし)	8-10
Y	J P, 9-289216, A (松下電子工業株式会社) 4. 11 月. 1997 (04. 11. 97) 要約 (ファミリーなし)	6-7